

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-282712

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

G06F 13/38
B41J 5/30
G06F 3/12
G06F 13/28
G06F 13/36
G06F 13/42

(21)Application number : 2000-096357

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 31.03.2000

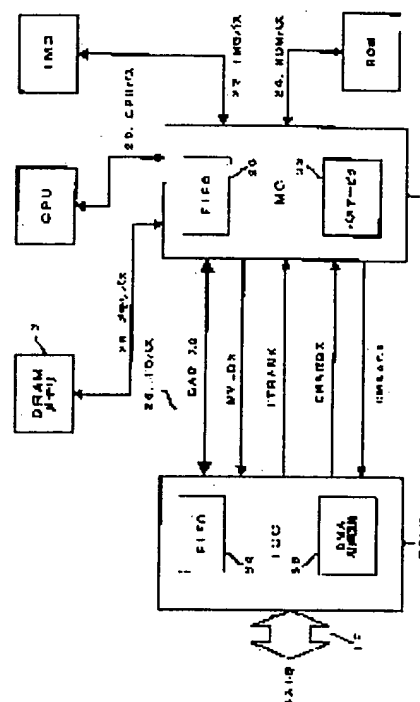
(72)Inventor : MARUYAMA MICHIO

(54) IMAGE PROCESSING CONTROLLER FOR ELECTRONIC PRINTER AND ELECTRONIC PRINTER HAVING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify the configuration of bus between an input/output interface and a memory controller, to improve the bus use efficiency and to accelerate the data transfer speed.

SOLUTION: Concerning the image processing controller for electronic printer having plural interfaces for receiving image data supplied through the desired interface from the outside, storing these data in an incorporated memory and performing image processing, this device has a memory controller MC connected through a memory bus to a memory 3 for controlling access to the relevant memory and an input/output controller IOC for inputting/outputting image data. Then, between the memory controller MC and the input/output controller IOC, a command address data bus CAD is provided for transferring a command, an address and data while multiplexing them. By sending a command specifying read or write to this bus CAD, a conventional control line such as read/write signal line is eliminated.



LEGAL STATUS

[Date of request for examination] 10.06.2003

[Date of sending the examiner's decision of rejection] 22.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-07135

[Date of requesting appeal against examiner's decision of rejection] 21.04.2005

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the image-processing controller for electrostatic printing equipments which prints by supplying image data The input/output controller into which it has two or more interfaces and said image data is inputted, The memory in which said image data inputted via the interface is stored, It connects through said input/output controller and input/output bus with the central-process section which performs a predetermined image processing. Furthermore, the i/o cycling which is connected through said memory and memory bus and performs access to said input/output controller from said central-process section, It has the memory controller which controls the DMA cycle which accesses said memory from said input/output controller, without going via said central-process section. Said input/output bus The image-processing controller characterized by having the data bus to which a command and data are transmitted by the multiplexer in said i/o cycling and a DMA cycle.

[Claim 2] The image-processing controller which the address is also transmitted to said data bus by the multiplexer in addition to said command and data, and is characterized by containing address information in said command in said DMA cycle in said i/o cycling in claim 1.

[Claim 3] It is the image-processing controller which the record section for said every interface is assigned in said memory, and the channel information which specifies said interface as said command is included in said DMA cycle in claim 1, and is characterized by controlling said memory controller to access the record section in said memory corresponding to said channel information.

[Claim 4] It is the image-processing controller by which said input/output controller includes or or the address selection information on whether initialization is carried out that the address which should be accessed is incremented in said command in said DMA cycle in claim 3 according to the size of said record section, and said memory controller is characterized for the address of the record section in said memory by the increment or initializing according to said address selection information at every access to said memory.

[Claim 5] It is the image-processing controller characterized by including the transfer mode information on whether said command performs a data transfer by the single mode in claim 1, or it carries out by the burst mode.

[Claim 6] It is the image-processing controller characterized by said command including the number information of data transfer cycles corresponding to said single mode or burst mode further in claim 5.

[Claim 7] The 1st control signal line asserted by said memory controller in claim 1 when, as for said input/output bus, said memory controller sends out a signal to said data bus, When said input/output controller sends out a signal to said data bus, have the 2nd control signal line asserted by said input/output controller, and the demand command sent out with assertion of said 1st control signal line is answered. The image-processing controller characterized by for said input/output controller answering a letter by assertion of said 2nd control signal line, and telling termination of the i/o cycling concerned.

[Claim 8] The 1st control signal line asserted by said memory controller in claim 1 when, as for said input/output bus, said memory controller sends out a signal to said data bus, When said input/output controller sends out a signal to said data bus, have the 2nd control signal line asserted by said input/output controller, and the demand command sent out with assertion of said 2nd control signal line is answered. The image-processing controller characterized by for said memory controller answering a letter by assertion of said 1st control signal line, and telling termination of the DMA cycle concerned.

[Claim 9] Said input/output bus is an image-processing controller characterized by having the acknowledgement signal line which the request signal line with which said input/output controller asserts further and the right of a bus is demanded, and said memory controller answer said request signal in claim 1, assert, and permits the right of a bus.

[Claim 10] It is the image-processing controller characterized by what is recorded on the storage region corresponding to the interface to which the image data which said input/output controller received from said interface in claim 1 thru/or 9 was received in said memory by said DMA access.

[Claim 11] Image-processing controller according to claim 1 to 10 Electrostatic printing equipment which prints said image according to the image data processed by said image-processing controller.

[Claim 12] In the image-processing controller for electrostatic printing equipments which prints by supplying image data The input/output controller into which it has two or more interfaces and said image data is inputted, The memory in which said image data inputted via the interface is stored, Connect through said input/output controller and input/output bus, and it connects through said memory and memory bus further. It has the memory controller which controls the DMA cycle which accesses said memory from said input/output controller, without going via the central-process section. Said input/output bus It has the data bus to which the access command and data which include the channel information which specifies said interface in said DMA cycle are transmitted by the multiplexer. Said memory controller is an image-processing controller characterized by carrying out an access control to the storage region of said memory corresponding to said channel information.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the data bus and control of the higher effectiveness between the input/output interface in an image-processing controller, and a memory controller especially about the image-processing controller used for electrostatic printing equipments, such as a printer.

[0002]

[Description of the Prior Art] Electrostatic printing equipment reproduces an image by making the toner which formed the latent image by the exposure of a laser beam, and was charged in the image formed with the host computer etc. adhere to a latent image. This electrostatic printing equipment has evolved into color printing from the conventional monochrome printing. The image amount of data given becomes huge, and it is impossible to disregard the time amount which the input takes with colorization. Furthermore, the image processing system within an airline printer needs to process huge image data with colorization, and needs to change it into the image data for printing, and needs to output the image data for printing to a printing engine.

[0003] Moreover, as it is necessary to correspond to new interfaces by which direct continuation is carried out to the conventional host computer through a printer cable, such as not only a use gestalt but USB, and IEEE1394, and and electrostatic printing equipment can respond to the print job of two or more host computers, it needs to correspond to LAN interfaces, such as Ethernet. Therefore, the inclination which increases corresponding to various input gestalten has the interface of an internal image processing system. Above increases of image data and diversification of an interface have brought the limitation on structure to the image processing system for the conventional monochrome printing.

[0004] Drawing 11 is the block diagram of the controller which performs the image processing in conventional electrostatic printing equipment. The memory controller MC is connected with the image-processing circuit IMC for colors which changes into the CPU bus 2 the image data inputted as the memory 3 which consists of a CPU and a DRAM in a bit map format at the image data for printing in the image processing system (controller) of drawing 11. Moreover, input/output controller IOC which interfaces image data with the exteriors, such as a host computer, is connected with the memory controller MC through the address data bus AD. And the IO controller IOC has two or more interfaces, and has IO buffer which accumulates received data corresponding to each.

[0005] Address enable signal AENBX is a signal which tells that the address is sent out to Bus AD at the time of L level, and data are sent out when it is H level among drawing. The read/write signal RWX is a command signal L level indicates a light and it indicates a lead to be on H level. IO ready signal IORDYX is a ready signal which shows that the IO controller IOC received access. And the control line of DMA request signal SDRQX (for serial interface) and PDRQX (for parallel interfaces) which write directly the data which two or more interfaces received in memory 3, T0DRQX (interface for channels 0), and T1DRQX (interface for channels 1) is formed.

[0006] In the above-mentioned conventional controller, the memory controller MC has the right of a bus of the address data bus AD between the IO controllers IOC, and the lead to an interface and light demand of a request of the IO controller IOC by CPU etc. are performed via the memory controller MC. Moreover, in order to read directly the image data for printing which wrote in memory 3 directly by the memory controller MC, or was developed by a (light) and memory 3 through control of CPU in the image data which received from the outside, such as a host computer, (lead), the IO controller IOC asserts the above-mentioned DMA request signal, and requests lead control from a memory controller. This is a Direct-Memory-Access cycle (DMA cycle) by the IO controller IOC.

[0007] At the time of a lead, the address and data are sent out for the address to the address data bus AD at the time of a light, and the memory controller MC which owns the right of a bus performs lead or actuation of a light, while the read/write signal RWX which shows a lead or a light shows whether it is processing demand [which]. Since Bus AD is carrying out the multiplexer of the address and the data at this time, address enable signal AENBX shows that either.

[0008] Since the IO controller IOC does not have the right of a bus, when carrying out DMA access, it asserts DMA request signal SDRQX corresponding to the interface for DMA access, PDRQX, T0DRQX, and T1DRQX, answers it, and has the memory controller MC, perform lead or light control on the other hand. That is, when the IO controller IOC wants to write data in memory 3 by DMA access, lead control is requested to the memory controller MC, and light control is requested to read data from memory 3 by DMA access.

[0009] Drawing 12 is drawing showing the timing chart which shows the bus control between the memory controller of the above-mentioned conventional example, and IO controller. In the lead IO cycle which performs the lead to the IO controller IOC from (1) in drawing CPU, the memory controller MC sends out Addresses Ah and aluminum, making the read/write signal RWX into H level by the clock cycle C1, and sending out a data read-out command. Having answered this, having asserted the ready signal IORDYX by the clock cycle C4, and having sent out effective data, while the IO controller IOC sent out the lead data DataOut to Bus AD is shown. Answering this, the memory controller MC incorporates the data DataOut on Bus AD.

[0010] Next, in the light IO cycle which performs the light to the IO controller IOC from (2) CPU, the memory controller MC sends out Addresses Ah and aluminum and the light data Din to Bus AD, making the read/write signal RWX into L level by the clock cycle C1, and sending out a light command. After it answers this and the IO controller IOC ends write-in processing, the ready signal IORDYX is asserted on L level, and the memory controller MC is told about termination of processing.

[0011] Furthermore, the DMA cycle case which transmits the data which the (3) IO controller IOC received to memory 3 by DMA access asserts the DMA request signal (for example, DMA request signal PDRQX of serial interface) which requires DMA access of the interface

with which the IO controller IOC corresponds. This is answered, the memory controller MC sends out the addresses Ah and aluminum for a lead to Bus AD after 2 clocks, and the same lead control as the above is performed. Therefore, when the IO controller IOC sends out Data Data, the ready signal IORDYX is asserted and the memory controller MC is made to incorporate data. Then, DMA request signal PDRQX returns to H level.

[0012]

[Problem(s) to be Solved by the Invention] Now, the above-mentioned conventional technical problem is as follows. The image amount of data becomes huge with colorization of electrostatic printing equipment the 1st, the amount of data which IO interface receives from an external host computer especially increases, and bus effectiveness is bad in the data transfer of the conventional 8 bitwises. The number of the control signal lines between the memory controller MC and the IO controller IOC increases to the 2nd, and it is necessary to increase further the DMA request signal line corresponding to it whenever interfaces will increase in number from now on, and has not become the hardware configuration which can be equivalent to future expansion. Although it is related also to the 1st above-mentioned technical problem the 3rd, especially a thing for which the effectiveness of DMA access to memory is gathered from IO controller is desired with huge-izing of image data.

[0013] Then, the purpose of this invention is to offer the image-processing controller of the electrostatic printing equipment which made high the utilization ratio of the bus between IO controller and a memory controller.

[0014] Another purpose of this invention reduces the number of the control signal lines between IO controller and a memory controller, and is to offer the image-processing controller of the electrostatic printing equipment made into the bus control method which can respond to expansion flexibly.

[0015] Furthermore, another purpose of this invention is to offer the electrophotography equipment which has the above-mentioned image-processing controller.

[0016]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the 1st side face of this invention has two or more interfaces, the image data supplied via a desired interface from the outside receives, and it has the memory controller which stores in the memory to build in, is connected to said memory through a memory bus in the image-processing controller for electrostatic-printing equipments which performs an image processing, and controls access to the memory concerned, and the input/output controller which perform I/O of image data. And it is characterized by forming a command, the address, and the command address data bus that transmits data by the multiplexer between a memory controller and an input/output controller. The control lines, such as the conventional read/write signal line, are lost by sending out the command which specifies a lead, a light, etc. as this bus.

[0017] Furthermore, in the desirable example, I/O access which sends out a command from a memory controller and performs access to an input/output controller from CPU, and DMA access which sends out a command from an input/output controller and performs access to memory are performed. Thereby, a lot of image data for printing which the input/output controller received can be transmitted to a high speed at memory.

[0018] Furthermore, in the desirable example, the data which identify a single mode or a burst mode are included in a command. Thereby, data can be transmitted by the single mode in a command address data bus, or it can transmit by the burst mode, and according to the amount of the image data which should be transmitted, high-speed data bus transfer becomes possible, and the utilization ratio of a bus can be gathered.

[0019] In order to gather the effectiveness of DMA access to memory from an input/output controller with more high frequency, the 2nd side face of this invention includes the address selection information at the time of DMA access in a command, and makes an address transfer cycle unnecessary. Thereby, the overhead of the data transfer in DMA access is abolished, and the data transmission efficiency which goes via an input/output bus is made high.

[0020] While including the channel information which specifies an interface as the command in a DMA cycle, the data in which initialization or the increment of the address is shown are included in a command, and a memory controller side is made to generate the address of memory in the desirable example in the 2nd side face. Thereby, on a bus, it becomes unnecessary to transmit the address itself, the overhead in a DMA access cycle becomes light, and the whole bus transfer rate can be gathered.

[0021] The 3rd side face of this invention furthermore, at the time of i/o cycling While generating a command and the BARIDDO signal (the 1st control signal) which asserts address sending out in a memory controller side The TORANZU action signal (the 2nd control signal) which shows the completion of processing to an input/output controller is generated. At the time of a DMA cycle While generating the TORANZU action signal which asserts command sending out to an input/output controller side, it is characterized by generating the BARIDDO signal which shows the completion of processing to the memory controller MC.

[0022] Furthermore, the 4th side face of this invention makes the request signal of the right of a bus assert to an input/output controller side at the time of DMA access, and makes the right of a bus arbitrate to a memory controller side while it grants the right of a bus preferentially to a memory controller. Thereby, an input/output controller can acquire the right of a bus and can publish a command actively.

[0023]

[Embodiment of the Invention] Hereafter, with reference to a drawing, the example of a gestalt of operation of this invention is explained. However, the example of a gestalt of this operation does not limit the technical range of this invention.

[0024] Drawing 1 is the whole electrostatic printing equipment block diagram with which the example of a gestalt of this operation is applied. Electrostatic printing equipment 12 is indirectly connected to a host computer 10 through direct or a network through a cable. A host computer 10 transmits the image data formed with application as print data S10. Or when a host computer 10 is a facsimile receiver, the image data sent from remoteness is transmitted as print data S10. Electrostatic printing equipment 12 has the controller 14 which interprets the supplied print data and is changed into the image reconstruction data S14 required for printing, and the printing engine 16 which forms an image according to the image reconstruction data S14.

[0025] A controller 14 is an image processing system, the language of print data S10 is interpreted, it develops to middle data for every predetermined units, such as 1 page or one band, and performs color conversion and binarization processing, and forms the image reconstruction data S14. Moreover, if the printing engine 16 is the case of a page printer, it will form a laser driving pulse according to the image reconstruction data S14, will form the latent image corresponding to an image by irradiating a laser beam at drum lifting, will make the toner charged there adhere, and will be imprinted to a print sheet.

[0026] A lot of image data is transmitted to a controller 14 as print data S10 with improvement in the speed of electrostatic printing equipment 12, and colorization. Therefore, a controller 14 must receive the print data of a lot of, must record them on internal memory

efficiently, and must perform a required image processing. Moreover, it is required that electrostatic printing equipment 12 should have various interfaces with a network and multi-functionalization of a computer. Therefore, it is required that image data should be outputted and inputted as print data through each interface.

[0027] Drawing 2 is the block diagram of the controller built in the electrostatic printing equipment 12 in the example of a gestalt of this operation. Input/output controller IOC which controls I/O of an input/output interface with the exterior for a controller, The high speed storage 3 which stores CPU which controls the whole controller, and the print data received from the outside, and stores the bit map data of the image developed from print data, It has the ROM group 4 which stored the program for the program of color transform processing or the image processing systems IMG and CPU which carry out binarization processing and generate image reconstruction data, a font, and options for the bit map data stored in high speed storage 3. The program which interprets the printing language with which for example, electrostatic printing equipment does not correspond by the default, font data peculiar to a user, etc. are stored in the program ROM for options.

[0028] And it connects with CPU via the CPU bus 20, connects with an image processing system IMG through the IMG bus 22, connects with a ROM group via the ROM bus 24, and connects with the IO controller IOC through the IO bus 26, and the memory controller MC is further connected with high speed storage 3 through a memory bus 28. By making it this structure, the memory controller MC can perform bus control between each device, and data can be transmitted and received according to each device and an individual.

[0029] The IO controller IOC enables reception of the data to two or more interfaces, and transmission. The interface EEPROM with the nonvolatile memory which records the set point of the engine interface EIF which outputs bit map data to the parallel interface PIF, the serial interface SIF, and the printing engine for monochrome which are connected with a host computer by a printer cable etc., and an airline printer, the interface PANEL with the control panel of an airline printer, etc. are included in an interface. Furthermore, in an interface, it has the interfaces IDE and LAN of the USB interface USB connected with the USB cable which is a high-speed interface, and the hard disk built in as an option, and the interface ETHERNET connected and the interface TYPEB with which it is equipped as an option, and these interfaces have bus width of face of 16 bits in it. Furthermore, in an interface, it has the interface IEEE 139 which makes connection with IEEE1394 which is a ultra high-speed interface, and this interface has bus width of face of 32 bits in it.

[0030] The IO controller IOC has the input output buffer of a FIFO mold in each, in order to perform reception and transmission of data with these interfaces. And received data are once stored in this input output buffer, and are suitably transmitted to high speed storage 3 with the DMA access mode via the memory controller MC. Or read-out and the writing of data to an input output buffer are performed by IO access mode via memory controller MC from CPU. For example, when CPU performs the writing and read-out of data to nonvolatile memory, it is accessed with this IO access mode.

[0031] Although explained in full detail behind, the IO bus 26 has bus width of face of 8 bits, and transmits a command, the address, and data by the multiplexer. Commands are for example, 8 bit data, and are transmitted in 1 cycle, and the address and data are 32 bit-data units, and are transmitted by the four cycle per unit.

[0032] High speed storage 3 is a usually rewritable dynamic RAM, and it is desirable that a synchronous type DRAM (SDRAM) is used. And in order to gather a data transfer rate, a memory bus 28 transmits data for example, by 64-bit width of face synchronizing with a high-speed frequency. Moreover, according to a memory bus 28, the IMG bus 22 and the CPU bus 20 also have 64-bit width of face, and data are similarly transmitted synchronizing with a high-speed frequency. And a ROM bus has for example, 32-bit width of face.

[0033] The rough data flow in a controller is as follows. If it explains to the beginning in the case of monochrome printing, print data will be supplied to (1), for example, a serial port, and print data will once be accumulated in the input buffer assigned to the serial port. [SIF] (2) If an input-buffer field fills, the print data received with the DMA access mode via the memory controller MC from the IO controller IOC will be transmitted to high speed storage 3, and will be recorded on the receive buffer field of high speed storage 3. (3) The print data stored in high speed storage 3 are read by CPU, are interpreted, are changed into the bit map data of an image, and are again written in the band buffer field of high speed storage 3. Bit map data are data of a page unit or a band unit. Moreover, these data transfers are performed via the memory controller MC. Moreover, CPU reads and performs a required program via the memory controller MC from a program ROM 4, in order to interpret the above-mentioned print data.

[0034] Next, via the memory controller MC, the bit map data currently recorded on the band buffer field of the (4) high speed storage 3 are transmitted to the output buffer of the monochrome engine interface EIF of the IO controller IC, and are sent out to an external monochrome engine as image reconstruction data.

[0035] Next, in color printing, via (1), for example, LAN, the print data for colors are supplied to Interface ETHERNET, and it is once stored in the input buffer corresponding to it. And it is transmitted to the receive buffer field of the (2) high speed storage 3 by DMA access, is interpreted by (3) CPU, is changed into bit map data, and is again stored in the band buffer field in high speed storage 3. So far, it is the same as the case of monochrome printing.

[0036] Bit map data are RGB data for every pixel. And the bit map data recorded on the band buffer field of the (4) high speed storage 3 are transmitted to an image processing system IMC via the memory bus 28 which has bus width of face of 64 bits, and the IMG bus 22, and the image reconstruction data which color conversion was carried out, and binarization processing (for example, half toning) was carried out to the YMCK data which are the toner of a printing engine, and were generated are outputted to the printing engine for colors by which direct continuation was carried out and which is not illustrated.

[0037] A lot of image data in a controller flows the IO bus 26, a memory bus 28, and the IMG bus 22. In connection with it, it is designed according to the frequency of data transfer which device has the priority of a bus. For example, it performs frequently that an image processing system IMG reads the image data for colors from high speed storage 3 in large quantities. Therefore, an image processing system IMC has the right of a bus of the IMG bus 22 preferentially, and it performs mediation processing (bus arbiter processing) to the bus use demand from the memory controller MC. Moreover, the memory controller MC has the right of a bus of the IO bus 26 preferentially, and performs mediation processing of IO bus use. Thereby, bidirectional bus access is realized in the IMG bus 22 and the IO bus 26.

[0038] Drawing 3 is drawing showing the detail configuration of IO bus in the controller in the example of a gestalt of this operation. The configuration in which the buses 20, 22, 24, 26, and 28 to each device are established independently in the memory controller MC is the same as drawing 2. The IO bus 26 between the memory controller MC and the IO controller IOC has the bidirectional bus CAD by which a command, the address, and a data transfer are performed. This command address data bus CAD consists of 8 bits, and transmits a command, the address, and data by the multiplexer.

[0039] Moreover, in the IO bus 26, it has the 1st control signal MVLDX which the memory controller MC sends out to the IO controller

IOC for bus control, and the 2nd control signal ITRANX which the IO controller IOC sends out to the memory controller MC. The 1st control signal is the BARIDDO signal MVLDX, and having sent out data (a command and the address being included) with the memory controller MC effective in Bus DAC is shown. The 2nd control signal is the data TORANZU action signal ITRANX, and it is the signal which shows that the IO controller IOC is during data processing, and while this signal ITRANX is asserted, the memory controller MC cannot send out a command to IO controller.

[0040] As for the bus royalty of the IO bus 26, the memory controller MC side has priority. Therefore, in order that the IO controller IOC may acquire the right of a bus, DMA request signal DMARQX and the DMA acknowledgement signal DMAACX are established. That is, the IO controller IOC has the DMA control circuit 38 which controls DMA access inside, and asserts DMA request signal DMARQX for the right acquisition of a bus. This is answered, and if Bus CAD is not being used for the bus arbiter circuit 32 in the memory controller MC, it answers a letter in the DMA acknowledgement signal DMAACX, and passes the royalty of a bus to the IO controller IOC side.

[0041] Common internal clock IOCLK is supplied to each controller, and bus control and data transfer are performed for it synchronizing with this internal clock.

[0042] Drawing 4 is a graph explaining a command. The one focus in the example of a gestalt of this operation is losing the command control signal line conventionally prepared in dedication, command-izing to a change, and transmitting the command to the 8-bit bus CAD by the multiplexer with the address and data. Therefore, after transmitting a 8-bit command in 1 cycle on Bus CAD, the corresponding address and data are transmitted by the multiplexer on Bus CAD. Information, such as a lead, information on a light, data transfer mode, and the amount of data to transmit, is included in this command.

[0043] Drawing 4 (1) shows a format of IO access command accessed from the memory controller MC side to the IO controller IOC. A command consists of 8 bits (Cmd 0-7). IO access command has Cmd0 the read/write bit Cmd2 which shows read-out or a store, and the several bits cycle which indicates the number of cycles of the data in each mode transmitted (amount of data / bus width of face) to be Cmd1 the several bits transfer the data transfer corresponding to a command indicates a single mode or a burst mode to be. In the example here, Cmd 3-7 of a high order is not used, but has become 1 by the default. The 8-bit command Cmd 0-7 is matched with the bus CAD 0-7, respectively.

[0044] In the example of a gestalt of this operation, data transfer mode makes 32 bits one unit. Therefore, in a single mode, a four cycle (32/8) is needed, and 4 times (16 cycles) and 8 times (32 cycles) are prepared in the burst mode. Moreover, the address also makes 32 bits one unit and the transfer cycle of the address is also a four cycle. It becomes possible among drawing to use it if needed the place which is reserve.

[0045] Drawing 4 (2) shows a format of the DMA access command which accesses the memory controller MC from the IO controller IOC. Also in this case, a command consists of 8 bits (Cmd 0-7). A DMA access command also has Cmd0 using the low order triplet Cmd 0-2 the several bits cycle which indicates the number of cycles of the data transmitted to be Cmd1 the several bits transfer which indicates a single mode or a burst mode to be the read/write bit Cmd2.

[0046] Furthermore, a DMA access command has a DMA address selection demand bit (address selection information) for the DMA Channel bit (channel information which specifies an interface) which shows DMA access about which interface it is to a high order bit Cmd 4-7 in a bit Cmd3, respectively. This DMA address selection demand bit is used for a setup of the data transfer point address transmitted, and shows whether initial value is loaded as the address, or the address loaded is incremented (Cmd 3= 1). (Cmd 3= 0) That is, by the memory controller MC, the increment of the address is carried out by the default (Cmd 3= 1) for every data transfer, and if the record section in memory fills, the address will be initialized.

[0047] Drawing 4 (3) is the graph showing DMA Channel assignment. Ten kinds of DMA Channels are matched with the interface which is each DMA element in 16 assignable kinds as illustrated.

[0048] A transfer of the address is not performed in order to gather the effectiveness of data transfer, since DMA access is performed frequently. Instead, the memory controller enables it to generate the address of memory 3, without adding the DMA Channel information which shows DMA access about which interface it is, and the address load information that the address in the memory 3 of the destination is set up to the high order bit Cmd 3-7 of a command, and transmitting the destination or the address of the memory of the source to it. A transfer of the address at the time of DMA access itself can be omitted, and it enables it to transmit a lot of data after transmission of a command by this. For this reason, the overhead of data transfer decreases. Detailed explanation of operation is mentioned later.

[0049] Drawing 5 is a graph for explaining a lead in IO cycle and a DMA cycle, and the bus control at the time of light actuation. In IO read cycle (1), the data of the external device by which CPU etc. is connected to the buffer in the IO controller IOC or it through the memory controller MC are read. If a command and the address are sent out to Bus CAD while the memory controller MC will assert the BARIDDO signal MVLDX, if it explains briefly, while it is answered and the IO controller IOC sends out data on Bus CAD, the data TORANZU action signal ITRANX will be asserted and data will be returned.

[0050] In IO light cycle (2), data are written in the external device by which CPU etc. is connected to the buffer in the IO controller IOC, or it through the memory controller MC. While the memory controller MC asserts the BARIDDO signal MVLDX like IO read cycle also in this case, a light demand is sent out, and IO controller asserts the data TORANZU action signal ITRANX as a ready signal, after answering it and completing write-in actuation. By light demand, a command, the address, and data are sent out by the multiplexer on a data bus CAD.

[0051] The DMA read cycle (3) and DMA light cycle (4) which access memory from IO controller side are shown in drawing 5. About these, it mentions later.

[0052] Drawing 6 is the detailed timing-chart Fig. of IO read cycle and IO light cycle. The actuation of IO read cycle of drawing 6 (1) is as follows. First, in a clock cycle 1, while the memory controller MC asserts the BARIDDO signal MLDX (L level is activation level), the command cmd which is 8 bits, and the 32-bit address adrs 0-3 are sent out by the multiplexer. Since the memory controller MC has a right of a bus by the default, if the bus arbiter circuit 32 is not passing the right of a bus to IO controller, it can use a ** bus. A total of every 8 bits of 32 bits of addresses is transmitted by the four cycle.

[0053] The IO controller IOC interprets the received command cmd, that it is a read cycle, their being a single mode or a burst mode (however the example of drawing 4 single mode chisel), and the number of data transfer cycles are detected, the data of the field specified in the address are read, and data are returned from a clock cycle 7 in the transfer mode and the transfer cycle which were specified by the command. That is, the IO controller IOC sends out data data 0-3 on Bus CAD by the four cycle, asserting the data TORANZU action signal ITRANX.

[0054] That is, the lead response which consists of the read-out data and the data TORANZU action signal ITRANX with which IO

controller answers a letter to the lead demand which consists of the BARIDDO signal MVLDX which a memory controller sends out like, the command, and the address which were shown in drawing 5 (1) is returned. The bus arbiter circuit in a memory controller does not open Bus CAD until a lead response is received to a lead command. Therefore, termination of access is told by this lead response.

[0055] The actuation of IO light cycle of drawing 6 (2) is as follows. First, in a clock cycle 1, while the memory controller MC asserts the BARIDDO signal MLDX, the 8 bits command cmd, the 32-bit address adrs 0-3, and the write-in data data 0-3 are sent out by the multiplexer. One clock cycle and the address are transmitted by the four cycle, and data are transmitted for a command by the four cycle, respectively. Therefore, the BARIDDO signal MVLDX is asserted over 9 cycle.

[0056] It is answered, and after IO controller ends the processing which writes data in the field specified in the address, the data TORANZU action signal ITRANX is asserted by the clock cycle 10. A memory controller is told that IO light access was completed by this assertion, and a bus is wide opened. In other words, what the preparation which that access is completed and receives the next IO access by assertion of this data TORANZU action signal ITRANX was able to carry out is told. That is, assertion of this data TORANZU action corresponds to a ready signal.

[0057] The light response which it becomes from the data TORANZU action signal ITRANX is answered to the light demand which it becomes from the BARIDDO signal MVLDX, and a command, the address and data as shown in drawing 5 (2) also in IO light cycle.

[0058] Next, a return DMA read cycle and a DMA light cycle are explained to drawing 5. In a DMA read cycle (3), since the IO controller IOC does not have the right of a bus, after it asserts DMA request signal DMAREQX and receives the DMA acknowledgement signal DMAACX, it sends out a command as above-mentioned. And a command is sent out to Bus CAD, asserting the data TORANZU action signal ITRANX, and while the memory controller MC asserts the BARIDDO signal MVLDX, read-out data are sent out to Bus CAD. Moreover, after a DMA light cycle (4) also acquires the right of a bus, while IO controller asserts the data TORANZU action signal ITRANX, a command and light data are sent out to Bus CAD, light processing is completed, and it is recognized by the assertion of the DMA acknowledgement signal DMAACX to the next bus demand that the next demand is possible.

[0059] Drawing 7 is the detail timing-chart Fig. of a DMA read cycle. They are the lead whose drawing 7 (1) is 4 bytes, and the read cycle whose drawing 7 (2) is 32 bytes. (1) The actuation of a DMA [4 bytes of] read cycle is as follows. If the IO controller IOC asserts DMA request signal DMAREQX by the clock cycle 1, it will be answered and the DMA acknowledgement signal DMAACX which shows that the memory controller MC passes the right of a bus by the clock cycle 2 will be asserted. After 1 clock of this assertion, the IO controller IOC sends out the DMA lead command cmd on Bus CAD, asserting the data TORANZU action signal ITRANX. This command is 8 bits and carries out the completion of a transfer in 1 cycle. And the channel information which shows whether he wants to read the data of the receive buffer corresponding to the device of high-speed-storage 3 throat, and address selection information are included in a command.

[0060] Answering assertion of the DMA acknowledgement signal DMAACX, IO controller returns DMA request signal DMAREQX to H level. Moreover, a command is answered and the memory controller MC returns the DMA acknowledgement signal DMAACX to H level. And the memory controller MC answers a command, reads the corresponding data of the address from high speed storage 3, is four-cycle continuation from a clock cycle 6, and sends out data data 0-3 to Bus CAD. At this time, the memory controller MC asserts the BARIDDO signal MVLDX which shows that the effective data was sent out to a bus.

[0061] Drawing 7 (2) is the timing chart of 32 bytes of DMA read cycle. The amount of data returned is 32 bytes, therefore if actuation removes that data transfer takes 32 cycles, it is the same as the above-mentioned 4-byte read cycle.

[0062] Drawing 8 is drawing for explaining management of the address at the time of a DMA cycle. In the DMA cycle, the channel information and address selection information for access are included in a command, and it is omitting carrying out the bus transfer of the address like IO access. therefore, using the channel information and address selection information in this command, between the IO controller IOC and the memory controller MC, it is alike and has accessed to which address -- it is necessary to have that recognition in common

[0063] A part of configuration required for the address administration of the memory controller MC and the IO controller IOC is indicated to be high speed storage 3 to drawing 8. In high speed storage 3, the receive buffer field is assigned for every object interface of DMA access. Four receive buffer field IFa-IFd is shown by the example of drawing 8. A start address ADDs, the end address ADDe, and address length ADDL are set up beforehand, or each receive buffer field is assigned by CPU. And if sequential storing is carried out and data fill to a receive buffer field, CPU will read the data and predetermined processing will be performed. Thereby, a receive buffer field becomes empty and data are again written in by DMA access from IO controller.

[0064] The IO controller IOC side has the address administration circuit 50 corresponding to each channel (inside 50a, 50b, 50c, and 50d of drawing). In the address administration circuit 50, it has the buffer length register 52 of the receive buffer in the high speed storage 3 assigned to the channel, and the buffer length counter 54 which loads the buffer length and carries out a decrement for every data transfer. It is judged by the address load bit cmd3 in a command whether the counted value of a buffer length counter is loaded from a register 52 or a decrement is carried out. Moreover, it is chosen by the channel bit cmd 4-7 of a command which buffer length is loaded to a register 52.

[0065] Similarly, the memory controller MC side has the address administration circuit 40 corresponding to each channel (inside 40a, 40b, 40c, and 40d of drawing). This address administration circuit 40 has the start address register 42 with which the start address ADDs of the receive buffer in the high speed storage 3 assigned to the channel is loaded, and the address counter 44 which loads that address, is initialized and increments the address for every data transfer after that. It is judged by the address load bit cmd3 which is the address selection information in a command whether a start address is loaded from a register 42 or it increments (initialization). Moreover, it is chosen by the channel bit cmd 4-7 of a command which start address is loaded to a register 42.

[0066] IO controller side sets a command cmd3 as an unload "1", unless a buffer length counter is set to 0. If a buffer length counter is set to 0, a command cmd3 will be set as loading "0." Thereby, the memory controller MC side can generate the address of the receive buffer field which should be accessed to an address counter 44, and can give it at the time of access to high speed storage 3.

[0067] The memory controller MC consists of ASIC using a semi-conductor. Therefore, the number of input/output terminals has a fixed limit. A limit arises in the number of pins which the memory controller MC can use for IO bus by having formed many buses independently like drawing 2, and it has bus width of face of 8 bits in the example of a gestalt of this operation. And the number of control signal lines is reduced by carrying out the multiplexer of the command to the address and data. However, the DMA cycle from IO controller is performed frequently. Then, as above-mentioned, in the DMA cycle, the multiplexer transfer of the address was omitted and the address information is included in the command.

[0068] Thus, a address administration circuit can be established in the both sides of the IO controller IOC and the memory controller MC, and it can omit sending out the address itself on Bus CAD by sharing address information mutually.

[0069] Drawing 9 is the detailed timing-chart Fig. of a DMA light cycle of operation. The actuation of 1 byte of DMA light cycle of drawing 9 (1) is as follows. The IO controller IOC is asserting DMA request signal DMAREQX by the clock cycle 1, and requires the right of a bus of the memory controller MC. It is answered, and if the bus is opened wide, the bus arbiter of a memory controller will assert the DMA acknowledgement signal DMAACX by the clock cycle 2, and will grant the right of a bus to IO controller.

[0070] By the clock cycle 4, asserting the data TORANZU action signal ITRANX, the IO controller IOC is written in with the DMA light command cmd, and sends out data data0 on Bus CAD. Data data0 are 1 byte and are transmitted in 1 cycle. And if IO controller asserts DMA request signal DMAREQX again by the clock cycle 7 and the right of a bus is required, the memory controller MC will assert the DMA acknowledgement signal DMAACX, after light actuation is completed. That is, the DMA acknowledgement signal DMAACX corresponds to the reply to a light demand, and notifies termination of access.

[0071] Actuation of 4 bytes of DMA light cycle of drawing 9 (2) is the same as the case of the above-mentioned 1 byte. However, since the transfer amount of data is 4 bytes, the information is included in Command cmd, it continues for the four cycle of clock cycles 5-8, and the write-in data 0-data 3 are sent out to Bus CAD. And the DMA acknowledgement signal DMAACX is asserted by the clock cycle 9 as a ready signal with which the following bus cycle is permitted. This acknowledgement signal means termination of access.

[0072] Drawing 10 is the detailed timing-chart Fig. of 32 bytes of DMA light cycle. While Arbitration processing of the right acquisition of a bus is performed first and this actuation as well as the above-mentioned 1-byte DMA light cycle asserts the data TORANZU action signal ITRANX from IO controller, a command and 32 bytes of light data are sent out to Bus CAD.

[0073] Also in the above-mentioned DMA light cycle, the class of channel, and loading of the address and unload information are included in a command, and the transfer of the address for access is omitted.

[0074] A demand and a response of operation are performed by the 1st control signal MVLDX and the 2nd control signal ITRANX between the IO controller IOC and the memory controller MC as drawing 5 explained. In a demand of operation, the 1st and 2nd control signals show that a certain actuation included in the command is demanded while showing having sent out the effective data to Bus CAD. Moreover, in a response of operation, while it is shown that the processing is completed, having sent out the effective data to Bus CAD in a lead is shown. It is not necessary to prepare the ready signal line like the conventional example by realizing a demand and a response with each control signal like drawing 5.

[0075] As mentioned above, the protection range of this invention is not limited to the example of a gestalt of the above-mentioned operation, and attains to even invention indicated by the claim and its equal object.

[0076]

[Effect of the Invention] As mentioned above, according to this invention, in the image-processing controller for electrostatic printing equipments, the bus arrangement between an input/output interface and a memory controller can be simplified, and a bus utilization ratio can be gathered, and a data transfer rate can be gathered.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the whole electrostatic printing equipment block diagram with which the example of a gestalt of this operation is applied.

[Drawing 2] It is the block diagram of the controller built in the electrostatic printing equipment in the example of a gestalt of this operation.

[Drawing 3] It is drawing showing the detail configuration of IO bus in the controller in the example of a gestalt of this operation.

[Drawing 4] It is a graph explaining a command.

[Drawing 5] It is a graph for explaining a lead in IO cycle and a DMA cycle, and the bus control at the time of light actuation.

[Drawing 6] It is the detailed timing-chart Fig. of IO read cycle and IO light cycle.

[Drawing 7] It is the detail timing-chart Fig. of a DMA read cycle.

[Drawing 8] It is drawing for explaining management of the address at the time of a DMA cycle.

[Drawing 9] It is the detailed timing-chart Fig. of a DMA light cycle of operation.

[Drawing 10] It is the detailed timing-chart Fig. of a DMA light cycle of operation.

[Drawing 11] It is the block diagram of the controller which performs the image processing in conventional electrostatic printing equipment.

[Drawing 12] It is drawing showing the timing chart which shows the bus control between the memory controller of the conventional example, and IO controller.

[Description of Notations]

3 High Speed Storage

10 Host Computer

12 Electrostatic Printing Equipment

14 Image-Processing Controller

26 Input/output Bus

28 Memory Bus

IOC Input/output controller

MC Memory controller

IMC Image processing system

CAD A data bus, command address data bus

MVLDX The 1st control signal, BARIDDO signal

ITRANX The 2nd control signal, data TORANZU action signal

DMARQX Request signal

DMAACX Acknowledgement signal

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-282712

(P2001-282712A)

(43)公開日 平成13年10月12日(2001.10.12)

(51)Int.Cl.	識別記号	F I	テマコード(参考)
G 0 6 F 13/38	3 3 0	G 0 6 F 13/38	3 3 0 C 2 C 0 8 7
B 4 1 J 5/30		B 4 1 J 5/30	Z 5 B 0 2 1
G 0 6 F 3/12		G 0 6 F 3/12	B 5 B 0 6 1
13/28	3 1 0	13/28	3 1 0 E 5 B 0 7 7
			3 1 0 Y 9 A 0 0 1

審査請求 未請求 請求項の数12 O L (全 22 頁) 最終頁に続く

(21)出願番号 特願2000-96357(P2000-96357)

(22)出願日 平成12年3月31日(2000.3.31)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 丸山 三千男

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100094525

弁理士 土井 健二 (外1名)

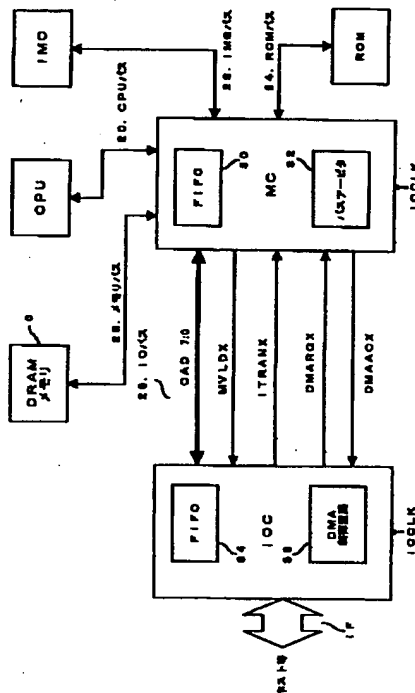
最終頁に続く

(54)【発明の名称】 電子印刷装置用の画像処理コントローラ及びそれを有する電子印刷装置。

(57)【要約】

【課題】電子印刷装置用の画像処理コントローラにおいて、入出力インターフェースとメモリコントローラとの間のバス構成を単純化し、且つバス使用効率を上げ、データ転送速度を上げる。

【解決手段】本発明は、複数のインターフェースを有し、外部から所望のインターフェース経由で供給される画像データを受信し、内蔵するメモリに格納し、画像処理を行う電子印刷装置用の画像処理コントローラにおいて、メモリ3にメモリバスを介して接続され当該メモリへのアクセスを制御するメモリコントローラMCと、画像データの入出力を行う入出力コントローラIOCとを有する。そして、メモリコントローラMCと入出力コントローラIOCとの間に、コマンド、アドレス、データをマルチプレクスで転送するコマンド・アドレス・データバスCADを設けたことを特徴とする。このバスCADに、リード、ライト等を特定するコマンドを送出することで、従来のリード・ライト信号線などの制御線をなくす。



【特許請求の範囲】

【請求項1】画像データを供給され印刷を行う電子印刷装置用の画像処理コントローラにおいて、複数のインターフェースを有し、前記画像データが入力される入出力コントローラと、前記インターフェース経由で入力された画像データが格納されるメモリと、

所定の画像処理を行う中央処理部と、

前記入出力コントローラと入出力バスを介して接続され、更に前記メモリとメモリバスを介して接続され、前記中央処理部からの前記入出力コントローラへのアクセスを行う入出力サイクルと、前記中央処理部を経由せずに前記入出力コントローラから前記メモリにアクセスを行うDMAサイクルとを制御するメモリコントローラとを有し、

前記入出力バスは、前記入出力サイクル及びDMAサイクルにおいて、コマンド及びデータをマルチプレクスで転送するデータバスを有することを特徴とする画像処理コントローラ。

【請求項2】請求項1において、

前記入出力サイクルにおいては、前記データバスに前記コマンド及びデータに加えてアドレスもマルチプレクスで転送され、

前記DMAサイクルにおいては、前記コマンドにアドレス情報が含まれることを特徴とする画像処理コントローラ。

【請求項3】請求項1において、

前記メモリ内に前記インターフェース毎の記録領域が割り当てられ、

前記DMAサイクルにおいて、前記コマンドに前記インターフェースを特定するチャンネル情報が含まれ、前記メモリコントローラは、前記チャンネル情報に対応する前記メモリ内の記録領域にアクセスするよう制御することを特徴とする画像処理コントローラ。

【請求項4】請求項3において、

前記DMAサイクルにおいて、

前記入出力コントローラは、前記記録領域のサイズに応じて、アクセスすべきアドレスをインクリメントするか初期化するかのアドレス設定情報を前記コマンドに含ませ、

前記メモリコントローラは、前記メモリへのアクセスのたびに、前記アドレス設定情報に応じて、前記メモリ内の記録領域のアドレスをインクリメントまたは初期化することを特徴とする画像処理コントローラ。

【請求項5】請求項1において、

前記コマンドは、データの転送をシングルモードで行うかバーストモードでおこなうかの転送モード情報を含むことを特徴とする画像処理コントローラ。

【請求項6】請求項5において、

前記コマンドは、更に、前記シングルモードまたはバーストモード

ストモードに対応するデータ転送サイクル数情報を含むことを特徴とする画像処理コントローラ。

【請求項7】請求項1において、

前記入出力バスは、前記メモリコントローラが前記データバスに信号を送出するときに前記メモリコントローラによりアサートされる第1の制御信号線と、前記入出力コントローラが前記データバスに信号を送出するときに前記入出力コントローラによりアサートされる第2の制御信号線とを有し、

前記第1の制御信号線のアサートと共に送出される要求コマンドにตอบสนองして、前記入出力コントローラが、前記第2の制御信号線のアサートにより返信し、当該入出力サイクルの終了を伝えることを特徴とする画像処理コントローラ。

【請求項8】請求項1において、

前記入出力バスは、前記メモリコントローラが前記データバスに信号を送出するときに前記メモリコントローラによりアサートされる第1の制御信号線と、前記入出力コントローラが前記データバスに信号を送出するときに前記入出力コントローラによりアサートされる第2の制御信号線とを有し、

前記第2の制御信号線のアサートと共に送出される要求コマンドにตอบสนองして、前記メモリコントローラが、前記第1の制御信号線のアサートにより返信し、当該DMAサイクルの終了を伝えることを特徴とする画像処理コントローラ。

【請求項9】請求項1において、

前記入出力バスは、更に、前記入出力コントローラがアサートしてバス権を要求するリクエスト信号線と、前記メモリコントローラが前記リクエスト信号にตอบสนองしてアサートしバス権を許可するアクノリッジ信号線とを有することを特徴とする画像処理コントローラ。

【請求項10】請求項1乃至9において、

前記入出力コントローラは、前記インターフェースから受信した画像データを、前記DMAアクセスにより、前記メモリ内の受信したインターフェースに対応する記憶領域に記録することを特徴とする画像処理コントローラ。

【請求項11】請求項1乃至10に記載の画像処理コントローラと、前記画像処理コントローラにより処理された画像データに従って、前記画像を印刷する電子印刷装置。

【請求項12】画像データを供給され印刷を行う電子印刷装置用の画像処理コントローラにおいて、複数のインターフェースを有し、前記画像データが入力される入出力コントローラと、前記インターフェース経由で入力された画像データが格納されるメモリと、

前記入出力コントローラと入出力バスを介して接続され、更に前記メモリとメモリバスを介して接続され、中央処理部を経由せずに前記入出力コントローラから前記

メモリにアクセスを行うDMAサイクルを制御するメモリコントローラとを有し、

前記入出力バスは、前記DMAサイクルにおいて、前記インターフェースを特定するチャンネル情報を含むアクセスコマンド及びデータをマルチプレクスで転送するデータバスを有し、前記メモリコントローラは、前記チャンネル情報に対応する前記メモリの記憶領域にアクセス制御することを特徴とする画像処理コントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリンタなどの電子印刷装置に使用される画像処理コントローラに関し、特に画像処理コントローラ内の入出力インターフェースとメモリコントローラとの間のより高い効率のデータバスとその制御に関する。

【0002】

【従来の技術】電子印刷装置は、ホストコンピュータなどにより形成された画像を、レーザビームの照射により潜像を形成し、帯電したトナーを潜像に付着させることで画像を再生する。かかる電子印刷装置は、従来のモノクロ印刷からカラー印刷に進化している。カラー化に伴い、与えられる画像データ量が膨大になり、その入力に要する時間は無視できなくなっている。更に、印刷装置内での画像処理装置は、カラー化に伴い膨大な画像データを処理して印刷用の画像データに変換し、且つその印刷用画像データを印刷エンジンに出力する必要がある。

【0003】また、電子印刷装置は、従来のホストコンピュータにプリンタケーブルを介して直接接続される使用形態だけでなく、USBやIEEE1394などの新しいインターフェースに対応する必要がある。また複数のホストコンピュータの印刷ジョブに対応できるように、イーサネットなどのLANインターフェースに対応する必要がある。従って、内部の画像処理装置のインターフェースは、多様な入力形態に対応して増大する傾向にある。上記のような画像データの増大及びインターフェースの多様化は、従来のモノクロ印刷用の画像処理装置に構造上の限界をもたらしている。

【0004】図11は、従来の電子印刷装置内の画像処理を行うコントローラの構成図である。図11の画像処理装置（コントローラ）では、CPUバス2に、CPUと、DRAMからなるメモリ3と、入力された画像データをビットマップ形式で印刷用の画像データに変換するカラー用画像処理回路IMCと、メモリコントローラMCとが接続されている。また、ホストコンピュータなどの外部との画像データのインターフェースを行う入出力コントローラIOCは、アドレス・データバスADを介してメモリコントローラMCと接続される。そして、IOCは、複数のインターフェースを有し、それぞれに対応して受信データを蓄積するIOバッファを有する。

【0005】図中、アドレスイネーブル信号AENBXは、Lレベルの時にバスADにアドレスが送出され、Hレベルの時にデータが送出されることを知らせる信号である。リードライト信号RWXは、Lレベルでライトを、Hレベルでリードを示すコマンド信号である。IOレディー信号IORDYXは、IOコントローラIOCがアクセスを受けたことを示すレディー信号である。そして、複数のインターフェースが受信したデータをメモリ3に直接書き込むDMAリクエスト信号SDRQX（シリアルインターフェース用）、PDRQX（パラレルインターフェース用）、TODRQX（チャンネル0用インターフェース）、T1DRQX（チャンネル1用インターフェース）の制御線が設けられる。

【0006】上記従来のコントローラにおいて、メモリコントローラMCが、IOコントローラIOCとの間のアドレス・データバスADのバス権を持ち、CPUなどによるIOコントローラIOCの所望のインターフェースへのリードやライト要求が、メモリコントローラMCを経由して行われる。また、IOコントローラIOCは、ホストコンピュータなど外部から受信した画像データを、CPUの制御を介することなく、メモリコントローラMCによりメモリ3に直接書き込んだり（ライト）、メモリ3に展開された印刷用画像データを直接読み出したり（リード）したりするために、上記のDMAリクエスト信号をアサートして、メモリコントローラにリード制御を依頼する。これは、IOコントローラIOCによるダイレクト・メモリ・アクセス・サイクル（DMAサイクル）である。

【0007】バス権を所有するメモリコントローラMCは、リードかライトかを示すリード・ライト信号RWXによりいずれの処理要求であるかを示しながら、リード時はアドレスを、ライト時はアドレスとデータをアドレス・データバスADに送出して、リードまたはライトの動作を行う。この時、バスADがアドレスとデータをマルチプレクスしているので、アドレスイネーブル信号AENBXでそのいずれかを示す。

【0008】一方、IOコントローラIOCは、バス権を有していないので、DMAアクセスする場合は、DMAアクセス対象のインターフェースに対応するDMAリクエスト信号SDRQX、PDRQX、TODRQX、T1DRQXをアサートし、それに応答して、メモリコントローラMCによりリードまたはライト制御を行ってもらう。つまり、IOコントローラIOCがDMAアクセスによりメモリ3にデータを書き込みたい時は、メモリコントローラMCにリード制御をリクエストし、DMAアクセスによりメモリ3からデータを読み出したい時は、ライト制御をリクエストする。

【0009】図12は、上記従来例のメモリコントローラとIOコントローラとの間のバス制御を示すタイミングチャートを示す図である。図中（1）CPUからのIOCへのリードを行うリードIOサイクルで

は、メモリコントローラMCは、クロックサイクルC1でリードライト信号RWXをHレベルにしてデータ読み出しコマンドを送出しながら、アドレスAh, Aiを送出する。これにตอบสนองして、IOコントローラIOCは、リードデータDataOutをバスADに送出しながら、クロックサイクルC4でレディー信号IORDYXをアサートして、有効なデータを送出したことを示す。これにตอบสนองして、メモリコントローラMCは、バスAD上のデータDataOutを取り込む。

【0010】次に、(2)CPUからのIOコントローラIOCへのライトを行うライトIOサイクルでは、メモリコントローラMCは、クロックサイクルC1でリードライト信号RWXをLレベルにしてライトコマンドを送出しながら、アドレスAh, AiとライトデータDinをバスADに送出する。これにตอบสนองして、IOコントローラIOCが書き込み処理を終了すると、レディー信号IORDYXをLレベルにアサートして処理の終了をメモリコントローラMCに知らせる。

【0011】更に、(3)IOコントローラIOCが受信したデータをメモリ3にDMAアクセスにより転送するDMAサイクル場合は、IOコントローラIOCが、対応するインターフェースのDMAアクセスを要求するDMAリクエスト信号(例えばシリアルインターフェースのDMAリクエスト信号PDRQX)をアサートする。これにตอบสนองして、2クロック後にメモリコントローラMCがバスADにリード用アドレスAh, Aiを送出し、上記と同じリード制御が行われる。従って、IOコントローラIOCがデータDataを送出するとレディー信号IORDYXをアサートしてメモリコントローラMCにデータを取り込ませる。その後、DMAリクエスト信号PDRQXはHレベルに戻る。

【0012】

【発明が解決しようとする課題】さて、上記従来の課題は、次の通りである。第1に、電子印刷装置のカラー化に伴い、画像データ量が膨大になり、特に外部のホストコンピュータからIOインターフェースが受信するデータ量が増大し、従来の8ビット単位のデータ転送では、バス効率が悪い。第2に、メモリコントローラMCとIOコントローラIOCとの間の制御信号線の数が増加し、今後インターフェースが増えるたびにそれに対応するDMAリクエスト信号線を更に増やす必要があり、将来の機能拡張に対応できるハードウェア構成になっていない。第3に、上記の第1の課題にも関係するが、画像データの膨大化に伴い、IOコントローラからメモリへのDMAアクセスの効率を上げることが特に望まれる。

【0013】そこで、本発明の目的は、IOコントローラとメモリコントローラとの間のバスの使用効率を高くした電子印刷装置の画像処理コントローラを提供することにある。

【0014】本発明の別の目的は、IOコントローラとメモリコントローラとの間の制御信号線の数減らし、機

能拡張に柔軟に対応できるバス制御方式にした電子印刷装置の画像処理コントローラを提供することにある。

【0015】更に、本発明の別の目的は、上記の画像処理コントローラを有する電子写真装置を提供することにある。

【0016】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の側面は、複数のインターフェースを有し、外部から所望のインターフェース経由で供給される画像データを受信し、内蔵するメモリに格納し、画像処理を行う電子印刷装置用の画像処理コントローラにおいて、前記メモリにメモリバスを介して接続され当該メモリへのアクセスを制御するメモリコントローラと、画像データの入出力を行う入出力コントローラとを有する。そして、メモリコントローラと入出力コントローラとの間に、コマンド、アドレス、データをマルチプレクスで転送するコマンド・アドレス・データバスを設けたことを特徴とする。このバスに、リード、ライト等を特定するコマンドを送出することで、従来のリード・ライト信号線などの制御線をなくす。

【0017】更に、好ましい実施例では、メモリコントローラからコマンドを送出してCPUから入出力コントローラへのアクセスを行う入出力アクセスと、入出力コントローラからコマンドを送出してメモリへのアクセスを行うDMAアクセスとが行われる。これにより、入出力コントローラが受信した大量の印刷用の画像データを、高速にメモリに転送することができる。

【0018】更に、好ましい実施例では、コマンドに、シングルモードかバーストモードかを識別するデータを含ませる。これにより、コマンド・アドレス・データバスにデータをシングルモードで転送したり、バーストモードで転送したりすることができ、転送すべき画像データの量に応じて高速のデータバス転送が可能になり、バスの使用効率を上げることができる。

【0019】本発明の第2の側面は、より頻度の高い入出力コントローラからメモリへのDMAアクセスの効率を上げるために、DMAアクセス時のアドレス設定情報をコマンドに含ませて、アドレス転送サイクルを不要にする。これにより、DMAアクセスでのデータ転送のオーバーヘッドをなくし、入出力バスを経由するデータ転送効率を高くする。

【0020】第2の側面での好ましい実施例では、DMAサイクルでのコマンドに、インターフェースを特定するチャンネル情報を含ませると共に、コマンドにアドレスの初期化かインクリメントかを示すデータを含ませて、メモリコントローラ側でメモリのアドレスの生成を行わせる。これにより、バス上にアドレスそのものを転送する必要がなくなり、DMAアクセスサイクルでのオーバーヘッドが軽くなり、全体のバス転送速度を上げることができる。

【0021】更に、本発明の第3の側面は、入出力サイクル時は、メモリコントローラ側にコマンドとアドレス送出をアサートするバリッド信号（第1の制御信号）を発生させると共に、入出力コントローラに処理完了を示すトランザクション信号（第2の制御信号）を発生させ、DMAサイクル時は、入出力コントローラ側にコマンド送出をアサートするトランザクション信号を発生させると共に、メモリコントローラMCに処理完了を示すバリッド信号を発生させることを特徴とする。

【0022】更に、本発明の第4の側面は、メモリコントローラにバス権を優先的に与えると共に、入出力コントローラ側にはDMAアクセス時にバス権のリクエスト信号をアサートさせ、メモリコントローラ側にバス権の調停を行わせる。これにより、入出力コントローラがバス権を取得して、コマンドを能動的に発行することができる。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0024】図1は、本実施の形態例が適用される電子印刷装置の全体構成図である。電子印刷装置12は、例えばホストコンピュータ10にケーブルを介して直接又はネットワークを介して間接的に接続される。ホストコンピュータ10は、アプリケーションで形成した画像データを印刷データS10として転送する。或いは、ホストコンピュータ10がファクシミリ受信器の場合は、遠隔から送付された画像データを印刷データS10として転送する。電子印刷装置12は、供給された印刷データを解釈して印刷に必要な画像再生データS14に変換するコントローラ14と、画像再生データS14に従って画像を形成する印刷エンジン16とを有する。

【0025】コントローラ14は、画像処理装置であり、印刷データS10の言語を解釈して1頁または1バンドなどの所定の単位毎に中間データに展開し、色変換や二値化処理を行って画像再生データS14を形成する。また、印刷エンジン16は、例えばページプリンタの場合であれば、画像再生データS14に従ってレーザ駆動パルスを形成し、ドラム上にレーザビームを照射することで画像に対応する潜像を形成し、そこに帯電したトナーを付着させ、印刷用紙に転写する。

【0026】電子印刷装置12の高速化、及びカラー化に伴い、大量の画像データが印刷データS10としてコントローラ14に送信される。従って、コントローラ14は、その大量の印刷データを受信し、効率的に内部のメモリに記録し、必要な画像処理を行わなければならない。また、電子印刷装置12は、コンピュータのネットワーク化及び多機能化に伴い様々なインターフェースを有することが要求されている。従って、それぞれのインターフェースを介して画像データを印刷データとして入

出力することが要求されている。

【0027】図2は、本実施の形態例における電子印刷装置12に内蔵されるコントローラの構成図である。コントローラには、外部との入出力インターフェースの入出力を制御する入出力コントローラIOCと、コントローラの全体を制御するCPUと、外部から受信した印刷データを格納し、印刷データから展開された画像のビットマップデータを格納する高速メモリ3と、高速メモリ3に格納されたビットマップデータを色変換処理や二値化処理して画像再生データを生成する画像処理装置IMGと、CPUのプログラム、フォント、オプション用プログラムを格納したROM群4とを有する。オプション用プログラムROMには、例えば、電子印刷装置がデフォルトで対応していない印刷言語を解釈するプログラムや、ユーザ特有のフォントデータなどが格納される。

【0028】そして、メモリコントローラMCが、CPUとCPUバス20を経由して接続され、画像処理装置IMGとIMGバス22を介して接続され、ROM群とROMバス24を経由して接続され、IOコントローラIOCとIOバス26を介して接続され、更に、高速メモリ3とメモリバス28を介して接続される。かかる構造にすることで、メモリコントローラMCは、各デバイスとの間のバス制御を行い、各デバイスと個別にデータの送受信を行うことができる。

【0029】IOコントローラIOCは、複数のインターフェースへのデータの受信、送信を可能にする。インターフェースには、例えば、ホストコンピュータとプリンタケーブルなどで接続されるパラレルインターフェースPIF、シリアルインターフェースSIF、モノクロ用の印刷エンジンにビットマップデータを出力するエンジンインターフェースEIF、印刷装置の設定値を記録する不揮発性メモリとのインターフェースEEPROM、印刷装置の操作パネルとのインターフェースPANELなどが含まれる。更に、インターフェースには、高速インターフェースであるUSBケーブルと接続されるUSBインターフェースUSBと、オプションで内蔵されるハードディスクとのインターフェースIDEと、LANと接続されるインターフェースETHERNETと、オプションで装着されるインターフェースTYPEBとを有し、これらのインターフェースは、16ビットのバス幅を有する。更に、インターフェースには、超高速インターフェースであるIEEE1394との接続をするインターフェースIEEE139を有し、このインターフェースは32ビットのバス幅を有する。

【0030】IOコントローラIOCは、これらのインターフェースとのデータの受信と送信を行うために、それぞれにFIFO型の入出力バッファを有する。そして、受信データは、この入出力バッファに一旦格納され、適宜、高速メモリ3にメモリコントローラMCを経由して、DMAアクセスモードで転送される。或いは、CPUからIOアクセスモードでメモリコントローラMC経由で入出力バッ

ファへのデータの読み出しや書き込みが行われる。例えば、CPUが不揮発性メモリへのデータの書き込みや読み出しを行ったりする場合は、このIOアクセスモードでアクセスされる。

【0031】後に詳述するが、IOバス26は、例えば8ビットのバス幅を有し、コマンドとアドレスとデータとをマルチプレクスで転送する。コマンドは例えば8ビットデータであり1サイクルで転送され、アドレスとデータは32ビットデータ単位であり単位当たり4サイクルで転送される。

【0032】高速メモリ3は、通常書き換え可能なダイナミックRAMであり、同期型DRAM (SDRAM) が使用されることが好ましい。そして、データの転送速度を上げるために、メモリバス28は、例えば64ビット幅で高速周波数に同期してデータを転送する。また、メモリバス28に合わせて、IMGバス22及びCPUバス20も64ビット幅を有し、同様に高速周波数に同期してデータが転送される。そして、ROMバスは、例えば32ビット幅を有する。

【0033】コントローラ内の概略的なデータの流れは次の通りである。最初にモノクロ印刷の場合で説明すると、(1) 例えばシリアルポートSIFに印刷データが供給され、シリアルポートに割り当てられた入力バッファに印刷データが一旦蓄積される。(2) 入力バッファ領域が一杯になると、IOコントローラIOCからメモリコントローラMCを経由して、DMAアクセスモードで受信した印刷データが高速メモリ3に転送され、高速メモリ3の受信バッファ領域に記録される。(3) 高速メモリ3に格納された印刷データは、CPUにより読み出されて解釈され、画像のビットマップデータに変換され、再度高速メモリ3のバンドバッファ領域に書き込まれる。ビットマップデータは、ページ単位またはバンド単位のデータである。また、これらのデータの転送は、メモリコントローラMCを経由して行われる。また、CPUは、上記印刷データの解釈を行うために、必要なプログラムをプログラムROM4からメモリコントローラMCを経由して読み出し、実行する。

【0034】次に、(4) 高速メモリ3のバンドバッファ領域に記録されているビットマップデータは、メモリコントローラMCを経由して、IOコントローラIOCのモノクロエンジンインターフェースEIFの出力バッファに転送され、外部のモノクロエンジンに画像再生データとして送出される。

【0035】次に、カラー印刷の場合は、(1) 例えばLAN経由でカラー用の印刷データがインターフェースETHERNETに供給され、それに対応する入力バッファに一旦格納される。そして、(2) 高速メモリ3の受信バッファ領域にDMAアクセスで転送され、(3) CPUにより解釈され、ビットマップデータに変換され、再度高速メモリ3内のバンドバッファ領域に格納される。ここま

では、モノクロ印刷の場合と同じである。

【0036】ビットマップデータは、例えば画素毎のRGBデータである。そして、(4) 高速メモリ3のバンドバッファ領域に記録されたビットマップデータは、64ビットのバス幅を有するメモリバス28とIMGバス22を経由して、画像処理装置IMCに転送され、印刷エンジンのトナーであるYMCKデータに色変換され、二値化処理(例えばハーフトーン処理)され、生成された画像再生データが、直接接続された図示しないカラー用印刷エンジンに出力される。

【0037】コントローラ内の大量の画像データが、IOバス26、メモリバス28及びIMGバス22を流れる。それに伴い、データ転送の頻度に応じて、どのデバイスがバスの優先権を持つかが設計されている。例えば、画像処理装置IMCはカラー用の画像データを大量に高速メモリ3から読み出すことを頻繁に行う。従って、IMGバス22のバス権は画像処理装置IMCが優先的に持ち、メモリコントローラMCからのバス使用要求に対して、調停処理(バスアービタ処理)を行う。また、メモリコントローラMCは、IOバス26のバス権を優先的に持ち、IOバス使用の調停処理を行う。これにより、IMGバス22とIOバス26には、双方向のバスアクセスが実現される。

【0038】図3は、本実施の形態例におけるコントローラ内のIOバスの詳細構成を示す図である。メモリコントローラMCにそれぞれのデバイスに対するバス20、22、24、26、28が独立して設けられる構成は、図2と同じである。メモリコントローラMCとIOコントローラIOCとの間のIOバス26は、コマンド、アドレス及びデータの転送が行われる双方向のバスCADを有する。このコマンド・アドレス・データバスCADは、例えば8ビットで構成され、コマンドとアドレスとデータとをマルチプレクスで転送する。

【0039】また、IOバス26には、バス制御のために、メモリコントローラMCがIOコントローラIOCに対して送出する第1の制御信号MVLDXと、IOコントローラIOCがメモリコントローラMCに送出する第2の制御信号ITRANXとを有する。第1の制御信号はバリッド信号MVLDXであり、メモリコントローラMCがバスDACに有効なデータ(コマンド、アドレスを含む)を送出していることを示す。第2の制御信号はデータトランザクション信号ITRANXであり、IOコントローラIOCがデータ処理中であることを示す信号で、この信号ITRANXがアサートされている間は、メモリコントローラMCがIOコントローラに対してコマンドを送出することはできない。

【0040】IOバス26のバス使用権は、メモリコントローラMC側が優先権を有する。従って、IOコントローラIOCがバス権を取得するために、DMAリクエスト信号DMARQXと、DMAアクノリッジ信号DMAACXとが設けられる。即ち、IOコントローラIOCは内部にDMAアクセスを制御する

DMA制御回路38を有し、バス権取得のためにDMAリクエスト信号DMARQXをアサートする。これにตอบสนองして、メモリコントローラMC内のバスアービタ回路32は、バスCADを使用していなければ、DMAアクノリッジ信号DMAACKを返信し、バスの使用権をIOコントローラIOC側に渡す。

【0041】それぞれのコントローラには、共通の内部クロックIOCLKが供給され、バス制御とデータ転送がこの内部クロックに同期して行われる。

【0042】図4は、コマンドを説明する図表である。本実施の形態例における一つの特徴点は、従来専用に設けられていたコマンド制御信号線をなくし、代わりにコマンド化して、そのコマンドを、8ビットのバスCADにアドレスやデータと共にマルチプレクスで転送することである。従って、8ビットのコマンドをバスCAD上に1サイクルで転送した後、対応するアドレスやデータがバスCAD上にマルチプレクスで転送される。このコマンドには、リードやライトの情報、データ転送モード、転送するデータ量などの情報が含まれる。

【0043】図4(1)は、メモリコントローラMC側からIOコントローラIOCに対してアクセスを行うIOアクセスコマンドのフォーマットを示す。コマンドは8ビット(Cmd0~7)で構成される。IOアクセスコマンドは、読み出しか書き込みを示すリード・ライトビットCmd2と、コマンドに対応するデータ転送がシングルモードかバーストモードかを示す転送数ビットCmd1と、各モードでの転送されるデータのサイクル数(データ量/バス幅)を示すサイクル数ビットCmd0とを有する。上位のCmd3-7は、この例では利用されておらず、デフォルトで1になっている。8ビットのコマンドCmd0-7はそれぞれバスCAD0-7に対応付けされている。

【0044】本実施の形態例において、データの転送モードは32ビットを一つの単位としている。従って、シングルモードでは4サイクル(32/8)が必要になり、バーストモードでは、4倍(16サイクル)と8倍(32サイクル)とが用意されている。また、アドレスも32ビットを一つの単位としており、アドレスの転送サイクルも4サイクルである。図中、リザーブになっているところは、必要に応じて使用することが可能になる。

【0045】図4(2)は、IOコントローラIOCからメモリコントローラMCにアクセスを行うDMAアクセスコマンドのフォーマットを示す。この場合も、コマンドは8ビット(Cmd0~7)で構成される。DMAアクセスコマンドも、下位3ビットCmd0-2を利用して、リード・ライトビットCmd2と、シングルモードかバーストモードかを示す転送数ビットCmd1と、転送されるデータのサイクル数を示すサイクル数ビットCmd0とを有する。

【0046】更に、DMAアクセスコマンドは、上位ビットCmd4-7に、どのインターフェースについてのDMAアクセスを示すDMAチャンネルビット(インターフェースを

特定するチャンネル情報)を、ビットCmd3に、DMAアドレス設定要求ビット(アドレス設定情報)をそれぞれ有する。このDMAアドレス設定要求ビットは、転送されるデータの転送先アドレスの設定のために利用され、アドレスとして初期値をロードするか(Cmd3=0)、ロードされているアドレスをインクリメントするか(Cmd3=1)を示す。つまり、メモリコントローラMCでは、データの転送毎にデフォルト(Cmd3=1)でアドレスがインクリメントされ、メモリ内の記録領域が満杯になるとアドレスが初期化される。

【0047】図4(3)は、DMAチャンネルアサインを示す図表である。図示されるとおり、アサイン可能な16種類の内、10種類のDMAチャンネルがそれぞれのDMA要素であるインターフェースに対応付けされている。

【0048】DMAアクセスは頻繁に行われるので、データ転送の効率を上げるために、アドレスの転送は行わない。その代わりに、コマンドの上位ビットCmd3-7に、どのインターフェースについてのDMAアクセスであるかを示すDMAチャンネル情報と、転送先のメモリ3内のアドレスを設定するアドレスロード情報とを追加し、転送先または転送元のメモリのアドレスを送信することなく、メモリコントローラがメモリ3のアドレスを生成できるようにしている。これにより、DMAアクセス時のアドレス自体の転送を省略することができ、コマンドの送信後に大量のデータを転送することができるようになっている。このため、データ転送のオーバーヘッドが少なくなる。詳細な動作説明は後述する。

【0049】図5は、IOサイクルとDMAサイクルでのリードとライト動作時のバス制御を説明するための図表である。IOリードサイクル(1)では、CPUなどがメモリコントローラMCを介してIOコントローラIOC内のバッファまたはそれに接続される外部デバイスのデータを読み出す。簡単に説明すると、メモリコントローラMCがバリッド信号MVLDXをアサートしながらバスCADにコマンドとアドレスを送出すると、これにตอบสนองして、IOコントローラIOCがデータをバスCAD上に送出しながら、データトランザクション信号ITRANXをアサートして、データを返送する。

【0050】IOライトサイクル(2)では、CPUなどがメモリコントローラMCを介してIOコントローラIOC内のバッファまたはそれに接続される外部デバイスにデータを書き込む。この場合も、IOリードサイクルと同様に、メモリコントローラMCがバリッド信号MVLDXをアサートしながらライト要求を送出し、IOコントローラはこれにตอบสนองして書き込み動作が終了すると、レディー信号としてデータトランザクション信号ITRANXをアサートする。ライト要求では、コマンド、アドレス、データがデータバスCAD上にマルチプレクスで送出される。

【0051】図5には、IOコントローラ側からメモリにアクセスするDMAリードサイクル(3)とDMAライトサイ

クル(4)が示される。これらについては、後述する。

【0052】図6は、IOリードサイクルとIOライトサイクルの詳細なタイミングチャート図である。図6(1)のIOリードサイクルの動作は以下の通りである。まずクロックサイクル1において、メモリコントローラMCがバリッド信号MLDXをアサートしながら(Lレベルが活性化レベル)、8ビットのコマンドcmdと、32ビットのアドレスadrs0-3とをマルチプレクスで送出する。メモリコントローラMCはデフォルトでバス権を有するので、バスアービタ回路32がバス権をIOコントローラに渡していなければ即バスを使用することができる。アドレスは8ビットずつ4サイクルで合計32ビット転送される。

【0053】IOコントローラIOCは、受信したコマンドcmdを解釈して、リードサイクルであることと、シングルモードまたはバーストモードであること(但し図4の例ではシングルモードのみ)、データ転送サイクル数を検出し、アドレスで指定された領域のデータを読み出し、クロックサイクル7から、コマンドで指定された転送モード、転送サイクルでデータを返送する。即ち、IOコントローラIOCは、データトランザクション信号ITRANXをアサートしながら、4サイクルでデータdata0-3をバスCAD上に送出する。

【0054】即ち、図5(1)に示した様に、メモリコントローラが送出するバリッド信号MVLDXとコマンド及びアドレスからなるリード要求に対して、IOコントローラが返信する読み出しデータとデータトランザクション信号ITRANXとからなるリード応答が返される。リードコマンドに対しては、リード応答が受信されるまで、メモリコントローラ内のバスアービタ回路は、バスCADを開放しない。従って、このリード応答によりアクセスの終了が伝えられる。

【0055】図6(2)のIOライトサイクルの動作は以下の通りである。まずクロックサイクル1において、メモリコントローラMCがバリッド信号MLDXをアサートしながら、8ビットのコマンドcmdと、32ビットのアドレスadrs0-3と、書き込みデータdata0-3をマルチプレクスで送出する。コマンドが1クロックサイクル、アドレスが4サイクル、データが4サイクルでそれぞれ転送される。従って、9サイクルにわたりバリッド信号MVLDXがアサートされる。

【0056】それに応答して、IOコントローラがアドレスで指定された領域にデータを書き込む処理を終了すると、クロックサイクル10で、データトランザクション信号ITRANXをアサートする。このアサートにより、IOライトアクセスが終了したことがメモリコントローラに伝えられ、バスが開放される。言い換えれば、このデータトランザクション信号ITRANXのアサートにより、そのアクセスが終了し、次のIOアクセスを受け付ける準備ができたことが伝えられる。即ち、このデータトランザクションのアサートは、レディー信号に対応する。

【0057】IOライトサイクルの場合も、図5(2)に示した通り、バリッド信号MVLDXとコマンド、アドレス、データとからなるライト要求に対して、データトランザクション信号ITRANXからなるライト応答が返信される。

【0058】次に、図5に戻りDMAリードサイクルとDMAライトサイクルについて説明する。DMAリードサイクル(3)では、IOコントローラIOCはバス権を有していないので、前述の通り、DMAリクエスト信号DMAREQXをアサートしてDMAアクノリッジ信号DMAACKを受信してからコマンドを送出する。そして、データトランザクション信号ITRANXをアサートしながら、コマンドをバスCADに送出し、メモリコントローラMCがバリッド信号MVLDXをアサートしながら、読み出しデータをバスCADに送出する。また、DMAライトサイクル(4)でも、バス権を取得した後、IOコントローラがデータトランザクション信号ITRANXをアサートしながらコマンドとライトデータをバスCADに送出し、ライト処理が完了し、次のバス要求に対するDMAアクノリッジ信号DMAACKのアサートにより次の要求が可能であることが認識される。

【0059】図7は、DMAリードサイクルの詳細なタイミングチャート図である。図7(1)が4バイトのリード、図7(2)が32バイトのリードサイクルである。

(1) DMA4バイトリードサイクルの動作は以下の通りである。クロックサイクル1でIOコントローラIOCがDMAリクエスト信号DMAREQXをアサートすると、それに応答して、クロックサイクル2で、メモリコントローラMCがバス権を渡すことを示すDMAアクノリッジ信号DMAACKをアサートする。このアサートの1クロック後に、IOコントローラIOCは、データトランザクション信号ITRANXをアサートしながら、DMAリードコマンドcmdをバスCAD上に送出する。このコマンドは8ビットであり、1サイクルで転送完了する。そして、コマンドには、高速メモリ3のどのデバイスに対応する受信バッファのデータを読みみたいかを示すチャネル情報と、アドレス設定情報とが含まれる。

【0060】DMAアクノリッジ信号DMAACKのアサートに応答して、IOコントローラは、DMAリクエスト信号DMAREQXをHレベルに戻す。また、コマンドに応答して、メモリコントローラMCは、DMAアクノリッジ信号DMAACKをHレベルに戻す。そして、メモリコントローラMCは、コマンドに応答して、対応するアドレスのデータを高速メモリ3から読み出し、クロックサイクル6から4サイクル連続で、データdata0-3をバスCADに送出する。この時、メモリコントローラMCは、バスに有効データが送出されたことを示すバリッド信号MVLDXをアサートする。

【0061】図7(2)は、32バイトのDMAリードサイクルのタイミングチャートである。動作は、返送されるデータ量が32バイトであり、従ってデータ転送に32サイクルを要することを除いては、上記の4バイトリ

ードサイクルと同じである。

【0062】図8は、DMAサイクル時のアドレスの管理を説明するための図である。DMAサイクルでは、コマンドにアクセス対象のチャンネル情報と、アドレス設定情報とを含ませて、IOアクセスのようにアドレスをバス転送することを省略している。そのために、このコマンド内のチャンネル情報と、アドレス設定情報とにより、IOコントローラIOCとメモリコントローラMCとの間で、どのアドレスへにアクセスしているかの認識を共通に持つ必要がある。

【0063】図8には、高速メモリ3と、メモリコントローラMCと、IOコントローラIOCのアドレス管理に必要な構成が一部示されている。高速メモリ3内には、DMAアクセスの対象インターフェース毎に、受信バッファ領域が割り当てられている。図8の例では、4つの受信バッファ領域IFa~IFdが示される。それぞれの受信バッファ領域はスタートアドレスADDsとエンドアドレスADDeとアドレス長ADDLが予め設定され、或いはCPUにより割り当てられる。そして、受信バッファ領域にデータが順次格納され、一杯になると、CPUがそのデータを読み出し、所定の処理を行う。それにより、受信バッファ領域は空になり、再度DMAアクセスによりIOコントローラからデータが書き込まれる。

【0064】IOコントローラIOC側は、アドレス管理回路50を各チャンネルに対応して有する(図中50a, 50b, 50c, 50d)。アドレス管理回路50には、チャンネルに割り当てられた高速メモリ3内の受信バッファのバッファ長レジスタ52と、そのバッファ長をロードしてデータ転送毎にデクリメントするバッファ長カウンタ54とを有する。バッファ長カウンタのカウント値をレジスタ52からロードするか、デクリメントするかは、コマンド内のアドレスロードビットcmd3により判断される。また、どのバッファ長をレジスタ52にロードするかは、コマンドのチャンネルビットcmd4-7により選択される。

【0065】同様に、メモリコントローラMC側は、アドレス管理回路40を各チャンネルに対応して有する(図中40a, 40b, 40c, 40d)。このアドレス管理回路40は、チャンネルに割り当てられた高速メモリ3内の受信バッファのスタートアドレスADDsがロードされるスタートアドレスレジスタ42と、そのアドレスをロードして初期化され、その後データ転送毎にアドレスをインクリメントするアドレスカウンタ44とを有する。スタートアドレスをレジスタ42からロードするか(初期化)、インクリメントするかは、コマンド内のアドレス設定情報であるアドレスロードビットcmd3により判断される。また、どのスタートアドレスをレジスタ42にロードするかは、コマンドのチャンネルビットcmd4-7により選択される。

【0066】IOコントローラ側は、バッファ長カウンタが0にならないかぎり、コマンドcmd3をアンロード「1」に設定する。バッファ長カウンタが0になると、

コマンドcmd3をロード「0」に設定する。これにより、メモリコントローラMC側は、アクセスすべき受信バッファ領域のアドレスをアドレスカウンタ44に生成し、高速メモリ3へのアクセス時に与えることができる。

【0067】メモリコントローラMCは、例えば半導体を利用したASICで構成される。そのため、入出力端子数に一定の制限がある。図2のように多くのバスを独立して設けたことで、メモリコントローラMCがIOバスに使用できるピン数に制限が生じ、本実施の形態例では8ビットのバス幅になっている。そして、コマンドをアドレス、データとマルチプレクスすることで、制御信号線の数を減らしている。しかし、IOコントローラからのDMAサイクルは頻繁に行われる。そこで、上記の通り、DMAサイクルにおいては、アドレスのマルチプレクス転送を省略して、コマンドにそのアドレス情報を含めている。

【0068】このように、IOコントローラIOCとメモリコントローラMCの双方に、アドレス管理回路を設け、互いにアドレス情報を共有することで、アドレスそのものをバスCAD上に出送することを省略することができる。

【0069】図9は、DMAライトサイクルの詳細な動作タイミングチャート図である。図9(1)の1バイトのDMAライトサイクルの動作は次の通りである。IOコントローラIOCは、クロックサイクル1でDMAリクエスト信号DMAREQXをアサートすることで、バス権をメモリコントローラMCに要求する。それに応答して、メモリコントローラのバスアービタが、バスが開放されていれば、クロックサイクル2でDMAアクノリッジ信号DMAACXをアサートして、IOコントローラにバス権を与える。

【0070】クロックサイクル4で、IOコントローラIOCは、データトランザクション信号ITRANXをアサートしながら、DMAライトコマンドcmdと書き込みデータdata0をバスCAD上に出送する。データdata0は1バイトであり1サイクルで転送される。そして、クロックサイクル7で再度IOコントローラがDMAリクエスト信号DMAREQXをアサートしてバス権を要求すると、メモリコントローラMCは、ライト動作が終了した後にDMAアクノリッジ信号DMAACXをアサートする。即ち、DMAアクノリッジ信号DMAACXがライト要求に対する返信に対応し、アクセスの終了を通知するのである。

【0071】図9(2)の4バイトのDMAライトサイクルの動作も、上記の1バイトの場合と同じである。但し、転送データ量が4バイトであるので、その情報がコマンドcmdに含められ、クロックサイクル5~8の4サイクルにわたって、書き込みデータdata0~3がバスCADに出送される。そして、クロックサイクル9で、次のバスサイクルを許可するレディー信号として、DMAアクノリッジ信号DMAACXがアサートされる。このアクノリッジ信号がアクセスの終了を意味する。

【0072】図10は、32バイトのDMAライトサイクルの詳細なタイミングチャート図である。この動作も、

上記の1バイトDMAライトサイクルと同様に、最初にバス権取得のアービトレーション処理が行われ、IOコントローラから、データトランザクション信号ITRANXをアサートしながら、コマンドと32バイトのライトデータがバスCADに送出される。

【0073】上記のDMAライトサイクルにおいても、コマンドにチャンネルの種類とアドレスのロード、アンロード情報とが含まれ、アクセス対象のアドレスの転送は省略されている。

【0074】図5で説明した通り、IOコントローラIOCとメモリコントローラMCとの間は、第1の制御信号MVLDXと、第2の制御信号ITRANXとにより、動作の要求と応答が行われる。第1及び第2の制御信号は、動作の要求においては、バスCADに有効データを送出していることを示すと共に、コマンドに含まれた何らかの動作が要求されていることを示す。また、動作の応答においては、その処理が終了することを示すと共に、リードの場合は有効データをバスCADに送出していることを示す。図5の様に、要求と応答をそれぞれの制御信号で実現することで、従来例の如きレディー信号線を設ける必要はない。

【0075】以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0076】

【発明の効果】以上、本発明によれば、電子印刷装置用の画像処理コントローラにおいて、入出力インターフェースとメモリコントローラとの間のバス構成を簡単化し、且つバス使用効率を上げ、データ転送速度を上げることができる。

【図面の簡単な説明】

【図1】本実施の形態例が適用される電子印刷装置の全体構成図である。

【図2】本実施の形態例における電子印刷装置に内蔵されるコントローラの構成図である。

【図3】本実施の形態例におけるコントローラ内のIOバ

スの詳細構成を示す図である。

【図4】コマンドを説明する図表である。

【図5】IOサイクルとDMAサイクルでのリードとライト動作時のバス制御を説明するための図表である。

【図6】IOリードサイクルとIOライトサイクルの詳細なタイミングチャート図である。

【図7】DMAリードサイクルの詳細なタイミングチャート図である。

【図8】DMAサイクル時のアドレスの管理を説明するための図である。

【図9】DMAライトサイクルの詳細な動作タイミングチャート図である。

【図10】DMAライトサイクルの詳細な動作タイミングチャート図である。

【図11】従来の電子印刷装置内の画像処理を行うコントローラの構成図である。

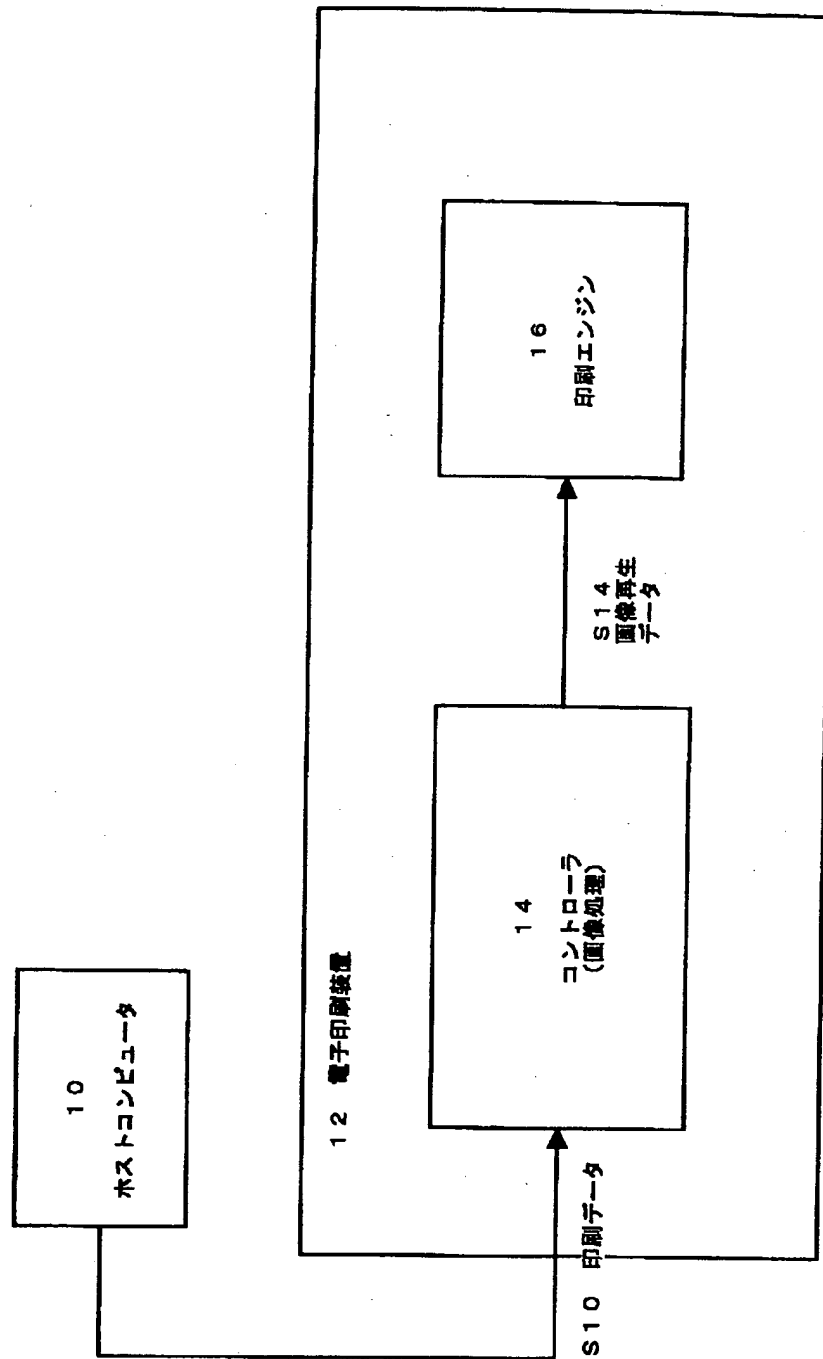
【図12】従来例のメモリコントローラとIOコントローラとの間のバス制御を示すタイミングチャートを示す図である。

【符号の説明】

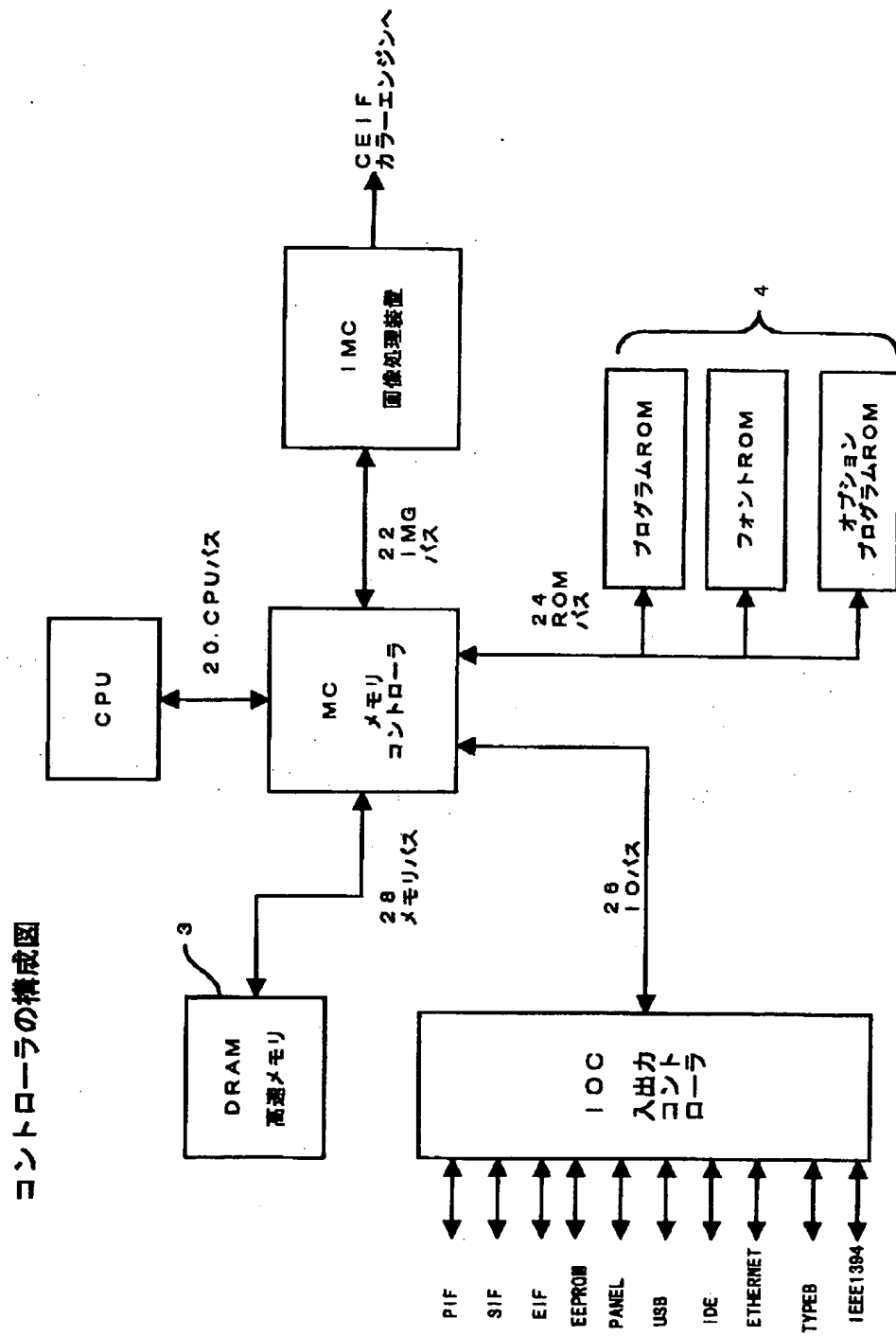
3	高速メモリ
10	ホストコンピュータ
12	電子印刷装置
14	画像処理コントローラ
26	入出力バス
28	メモリバス
IOC	入出力コントローラ
MC	メモリコントローラ
IMC	画像処理装置
30 CAD	データバス、コマンド・アドレス・データバス
MVLDX	第1の制御信号、バリッド信号
ITRANX	第2の制御信号、データトランザクション信号
DMARQX	リクエスト信号
DMAACX	アックノリッジ信号

電子印刷装置の全体構成図

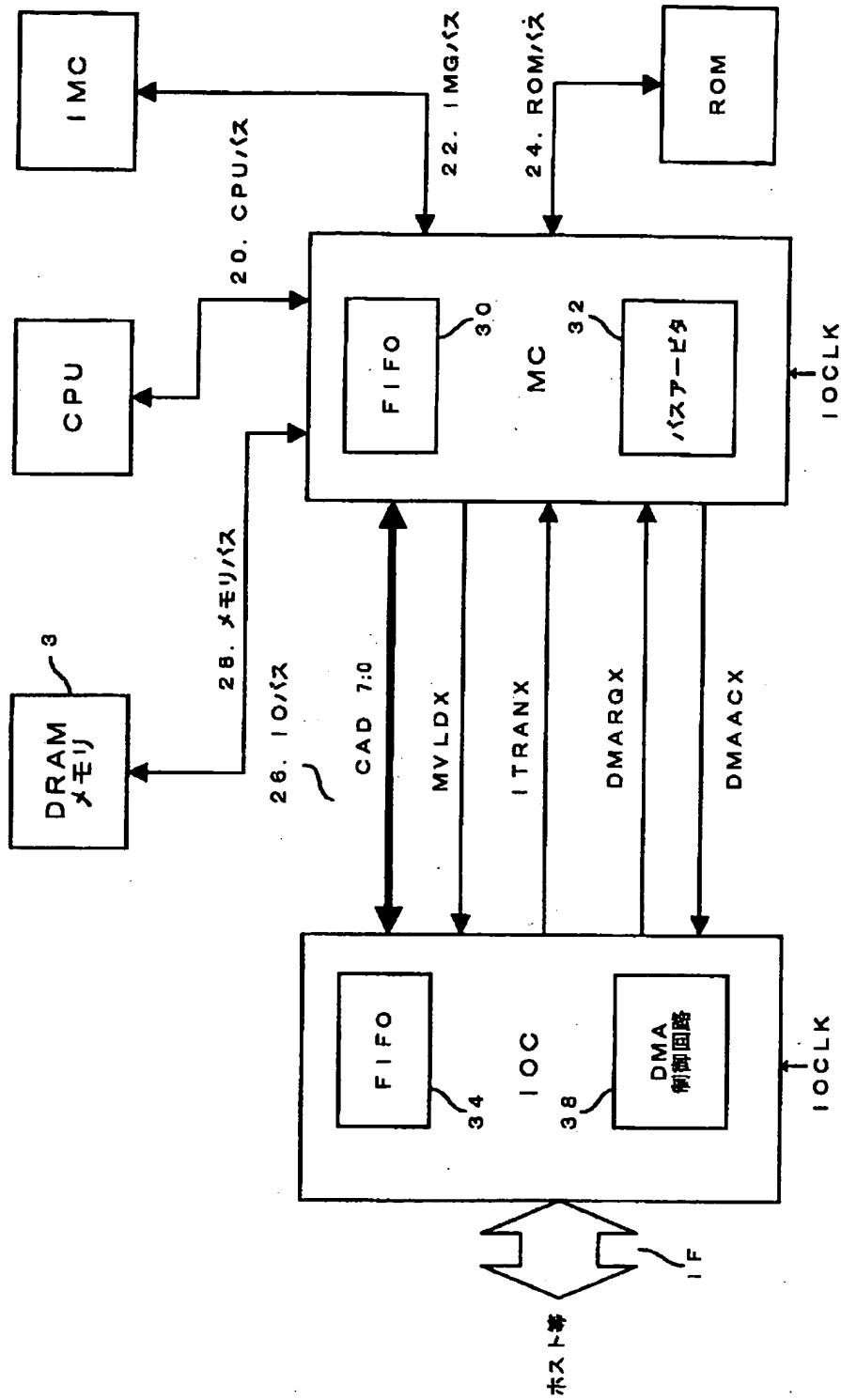
【図1】



【図2】



【図3】



【図4】

(1) I/Oアクセスコマンド (MC出力)

cmd 7-4 (Reserved)	cmd 3 (Reserved)	cmd 2 (リード/ライト)	cmd 1 (シングル/バースト)	cmd 0 (サイクル数)
CAD 7-4	CAD 3	CAD 2	CAD 1	CAD 0
Reserved 常に1	Reserved 常に1	0 : リード	0 : シングル	0 : Reserved 1 : 4バイト
			1 : バースト	Reserved 常に1
		1 : ライト	0 : シングル	0 : Reserved 1 : 4バイト
			1 : バースト	Reserved 常に1

(2) DMAアクセスコマンド (I/O出力)

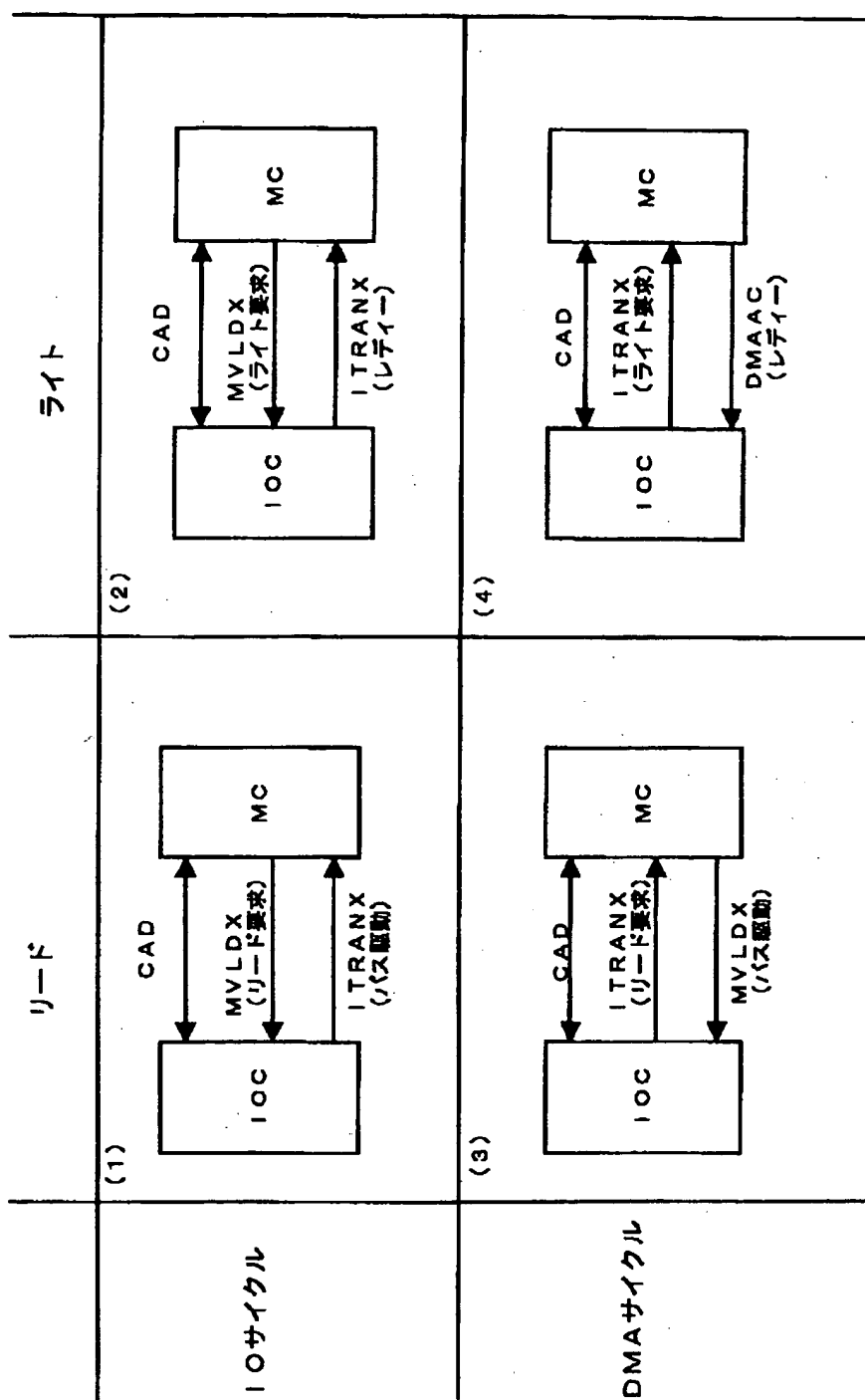
cmd 7-4 (DMAチャンネル)	cmd 3 (アドレスロード)	cmd 2 (リード/ライト)	cmd 1 (シングル/バースト)	cmd 0 (サイクル数)
CAD 7-4	CAD 3	CAD 2	CAD 1	CAD 0
0000-1010 の 11チャンネルを使用 1011-1111 : Reserved	0 : アドレスロード 1 : アドレスノロード	0 : リード	0 : シングル	0 : Reserved 1 : 4バイト
			1 : バースト	0 : 16バイト 1 : 32バイト
	DMAアドレスの 設定要求	1 : ライト	0 : シングル	0 : 1バイト 1 : 4バイト
			1 : バースト	0 : 16バイト 1 : 32バイト

(3) DMAチャンネルアサイン

cmd 7-4 で示されるDMAチャンネルNo.とその要素の対応表

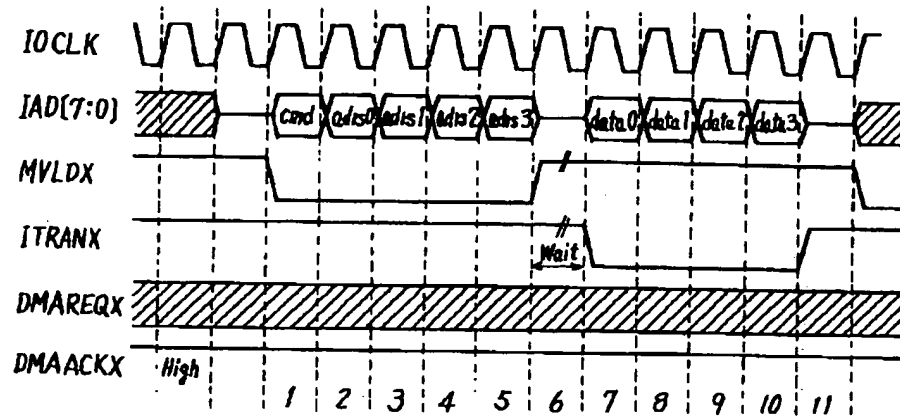
No.	cmd 7-4 (DMAチャンネル)	DMA要素 (インターフェース)
	IAD 7-4	
0	0000	IEEE1284
1	0001	USB
2	0010	TypeB
3	0011	Network
4	0100	SIF受信
5	0101	SIF送信
6	0110	HDD
7	0111	オプション
8	1000	IEEE1394
9	1001	5Vオプション
10	1010	3Vオプション

【図5】

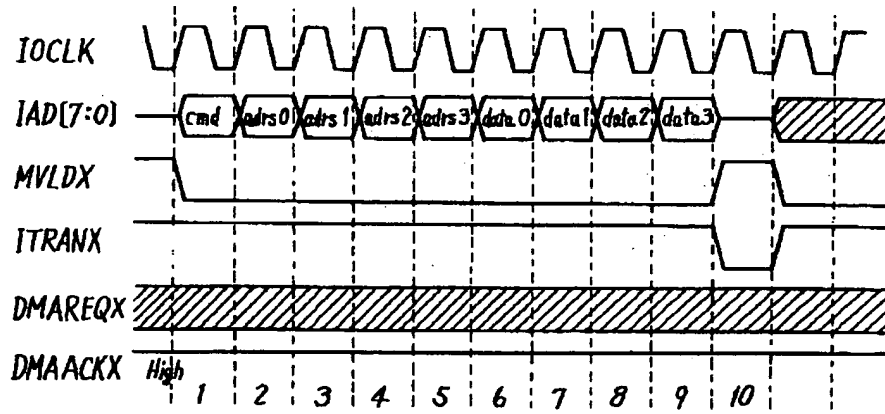


【図6】

(1) I/O 4バイトリードサイクル

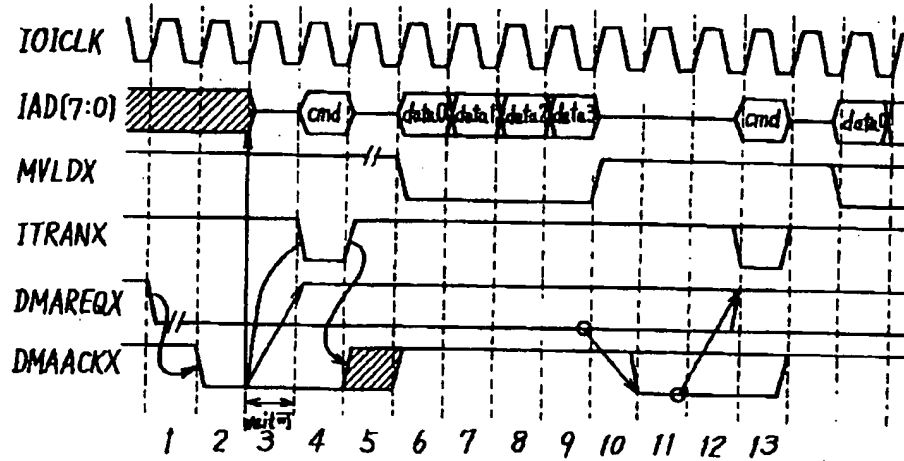


(2) I/O 4バイトライトサイクル

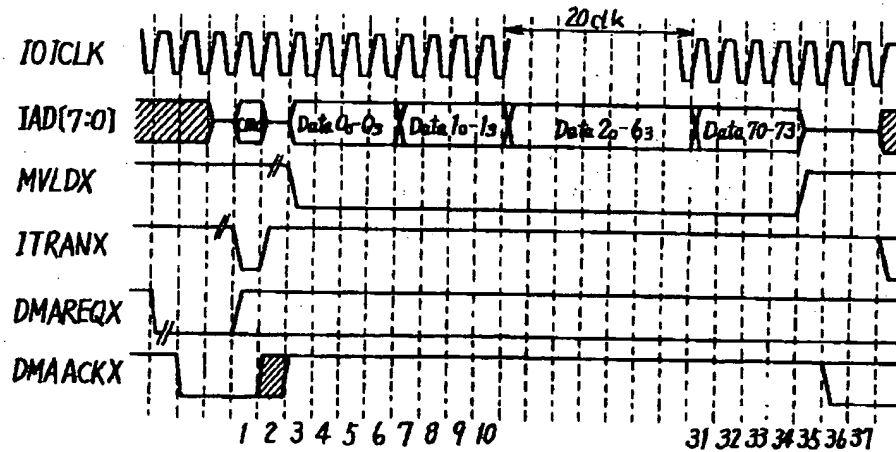


【図7】

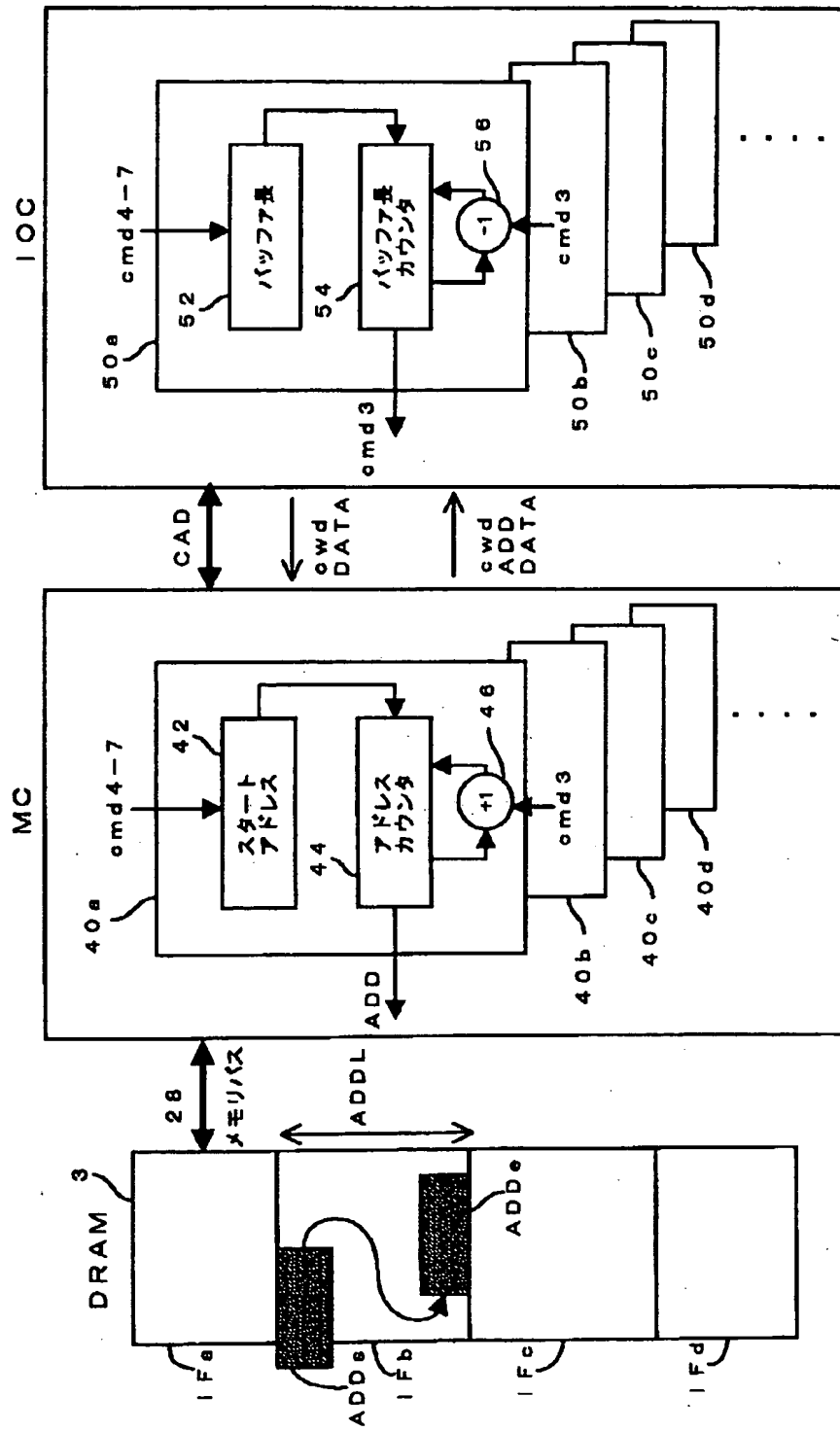
(1) DMA4バイトリードサイクル



(2) DMA32バイトリードサイクル

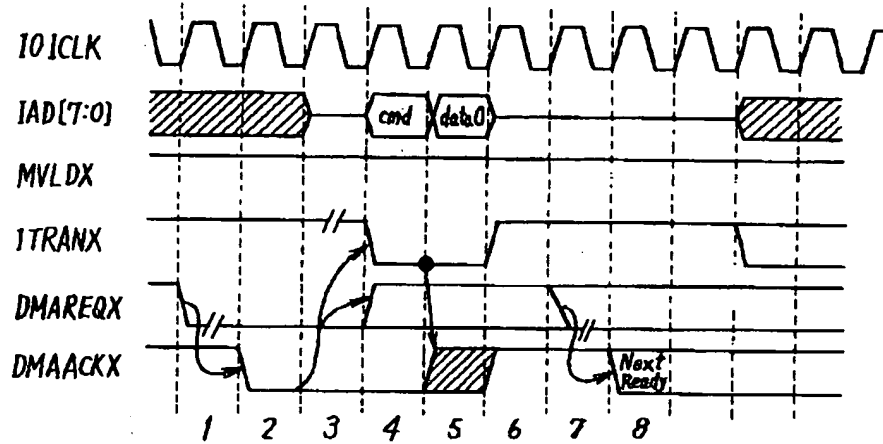


【図8】

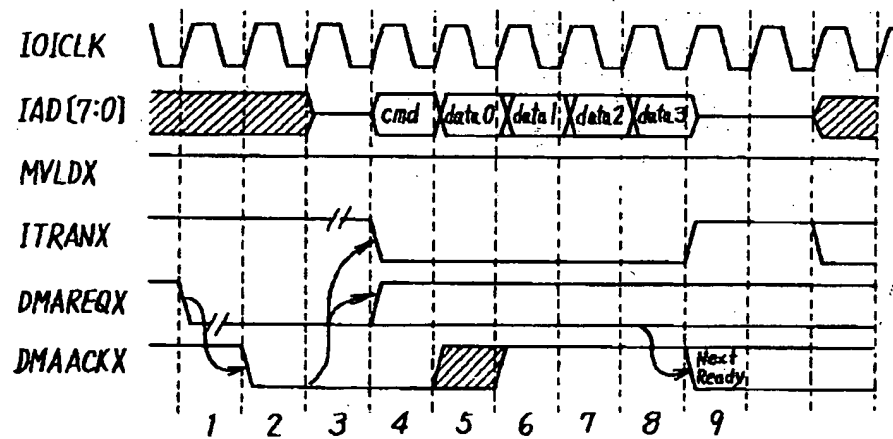


【図9】

(1) DMA 1バイトライトサイクル

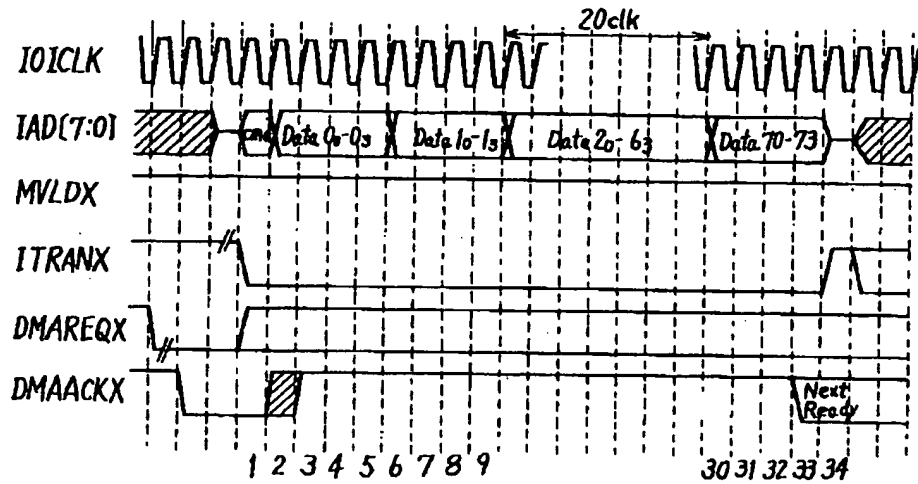


(2) DMA4バイトライトサイクル



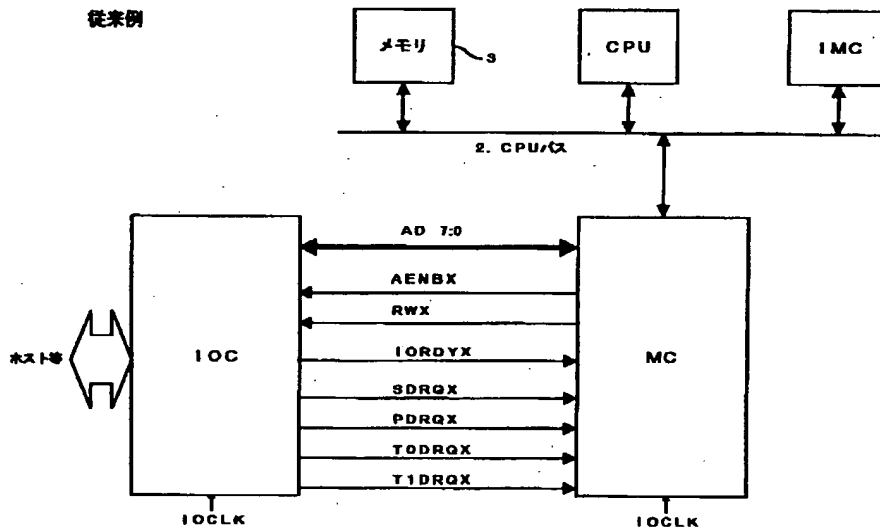
【図10】

DMA32バイトライトサイクル



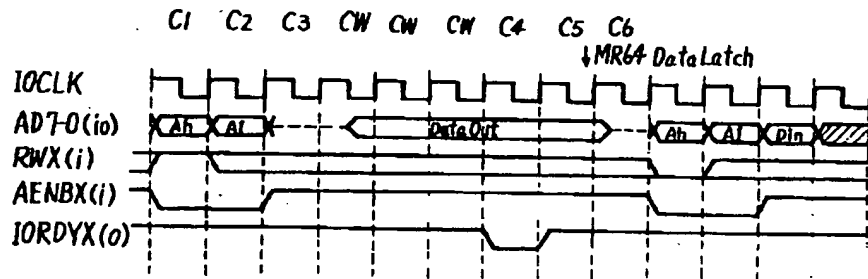
【図 11】

従来例

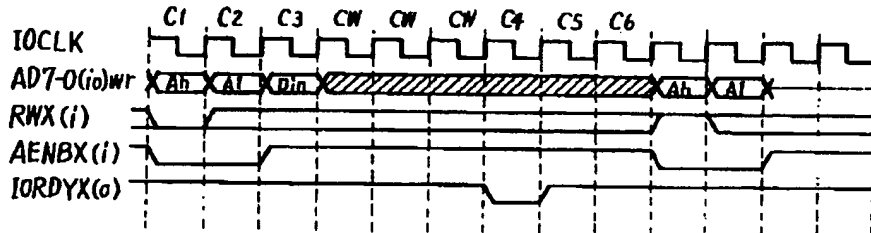


【図12】

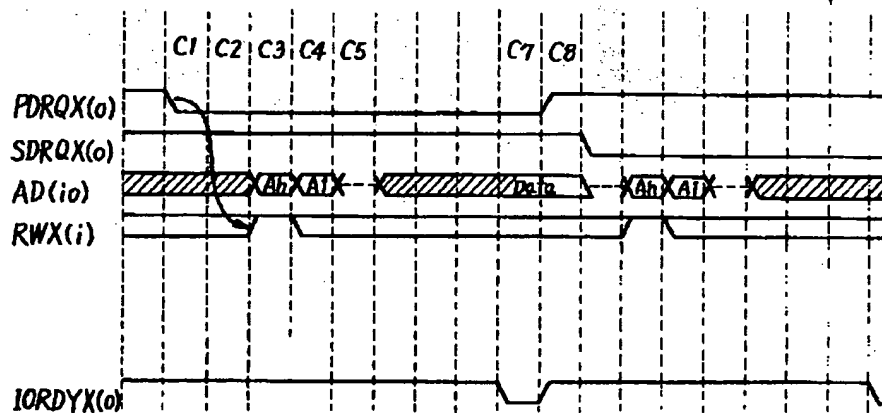
(1) CPUからのIOCへのリード



(2) CPUからのIOCへのライト



(3) DMAによるIOCからのデータ転送



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
G 0 6 F 13/36	5 2 0	G 0 6 F 13/36	5 2 0 E
13/42	3 2 0	13/42	3 2 0 A

Fターム(参考) 2C087 AA15 AB05 AC08 BA03 BA07
BC07 BD46 BD47
5B021 AA01 BB01 BB04 BB11 DD03
5B061 DD09 GG13 SS01
5B077 BA07 BB05 HH04
9A001 BB03 BB04 BB06 HH23 HZ34
JJ35 KK42